



1

## 【特許請求の範囲】

【請求項1】 半導体上に絶縁膜を介してゲート電極が設けられ、

ゲート電極の下部の半導体層はチャネル形成領域を成し、

チャネル形成領域を挟んで第一導電型のソース・ドレイン領域が形成される電界効果型トランジスタにおいて、ゲート電極は、その中央部に位置する第一のゲート電極と、その両側に位置する第二のゲート電極からなり、第二のゲート電極において、その少なくとも一部はチャネル形成領域上に位置し、該第一導電型がn型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも小さく、

該第一導電型がp型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも大きく、しきい値電圧がゲート電極に印加された状態で、第一導電型がn型の場合は半導体層の電位がゲート電極よりも高くなるような電界を、第一導電型がp型の場合は半導体層の電位がゲート電極よりも低くなるような電界を、ゲート電極の中央において第二のゲート電極が形成する

ような、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲート電極の長さを持つことを特徴とする、電界効果型トランジスタ。

【請求項2】 半導体上に絶縁膜を介してゲート電極が設けられ、

ゲート電極の下部の半導体層はチャネル形成領域を成し、

チャネル形成領域を挟んで第一導電型のソース・ドレイン領域が形成される電界効果型トランジスタにおいて、ゲート電極は、その中央部に位置する第一のゲート電極と、その両側に位置する第二のゲート電極からなり、第二のゲート電極において、その少なくとも一部はチャネル形成領域上に位置し、該第一導電型がn型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも小さく、

該第一導電型がp型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも大きく、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲート電極の長さが40nm以下であることを特徴とする、電界効果型トランジスタ。

【請求項3】 半導体上に絶縁膜を介してゲート電極が設けられ、

ゲート電極の下部の半導体層はチャネル形成領域を成し、

チャネル形成領域を挟んで第一導電型のソース・ドレイン領域が形成される電界効果型トランジスタにおいて、ゲート電極は、その中央部に位置する第一のゲート電極と、その両側に位置する第二のゲート電極からなり、

2

第二のゲート電極において、その少なくとも一部はチャネル形成領域上に位置し、該第一導電型がn型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも小さく、

該第一導電型がp型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも大きく、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲート電極の長さを $T_m$ 、トランジスタのしきい値電圧を $V_{th}$ としたとき、

$V_{th}$ を $T_m$ で微分した係数 $dV_{th}/dT_m$ の絶対値が $4 \times 10^{-3} V/nm$ より大きくなる範囲に、 $T_m$ を設定することを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項4】 第二のゲート電極の上部には、第一のゲート電極の延長部が設けられることを特徴とする、請求項1、2又は3記載の電界効果型トランジスタ。

【請求項5】 第一のゲート電極と第二のゲート電極の間に、絶縁膜を挟んだ請求項1、2、3又は4記載の電界効果型トランジスタ。

【請求項6】 第一のゲート電極と第二のゲート電極の上部に、これら双方に接続した導電体を持つことを特徴とする請求項5記載の電界効果型トランジスタ。

【請求項7】 第一のゲート電極とその両側に位置する第二のゲート電極を有する電界効果型トランジスタを製造する方法であって、

ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、

全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、

開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、

延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部内に側壁を設け、

続いて第二の導電性材料を堆積し、これをパターニングすることにより、

側壁を前記第二のゲート電極、第二の導電性材料を前記第一のゲート電極とすることを特徴とする電界効果型トランジスタの製造方法。

【請求項8】 請求項1記載の電界効果型トランジスタを製造する方法であって、ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、

全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、

開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、

延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部内に側壁を設

3

け、  
続いて第二の導電性材料を堆積し、これをパターニングすることにより、  
側壁を前記第二のゲート電極、第二の導電性材料を前記第一のゲート電極とすることを特徴とする電界効果型トランジスタの製造方法。

【請求項 9】 延長された開口部に第一の導電性材料を堆積してこれをエッチバックすることにより、開口部に側壁を設けた後、その側壁の表面に絶縁膜を形成し、続いて第二の導電性材料を堆積することを特徴とする、請求項 7 又は 8 記載の電界効果型トランジスタの製造方法。

【請求項 10】 前記第一のゲート電極、第二のゲート電極の上部に、これら双方と接続した導電体を成長させることを特徴とする、請求項 7 又は 8 記載の電界効果型トランジスタの製造方法。

【請求項 11】 ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、  
全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜を C M P により除去することにより、該ダミーパターン上部に絶縁膜の開口部を設け、  
開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、  
延長された開口部に、導電性材料を埋め込み、これをゲート電極とすることを特徴とする電界効果型トランジスタの製造方法。

【請求項 12】 第一のゲート電極とその両側に位置する第二のゲート電極を有する電界効果型トランジスタを製造する方法であって、  
延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部内に側壁を設け、  
続いて第二の導電性材料を堆積し、これをパターニングすることにより、  
側壁を前記第二のゲート電極、第二の導電性材料を前記第一のゲート電極とする、請求項 11 記載の電界効果型トランジスタの製造方法。

【請求項 13】 請求項 1 記載の電界効果型トランジスタを製造する方法であって、  
延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部内に側壁を設け、  
続いて第二の導電性材料を堆積し、これをパターニングすることにより、  
側壁を前記第二のゲート電極、第二の導電性材料を前記第一のゲート電極とする、請求項 11 記載の電界効果型トランジスタの製造方法。

【請求項 14】 ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソー

4

ス・ドレイン領域を形成し、  
全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、  
開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、  
少なくとも開口部を含む領域に導電性材料を堆積した後、開口部を除く領域に堆積された導電性材料を C M P により除去し、

開口部に埋め込まれた導電性材料をゲート電極とすることを特徴とする電界効果型トランジスタの製造方法。

【請求項 15】 第一のゲート電極とその両側に位置する第二のゲート電極を有する電界効果型トランジスタを製造する方法であって、  
ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、

全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、  
開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、

延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部内に側壁を設け、

少なくとも開口部を含む領域に第二の導電性材料を堆積した後、開口部を除く領域に堆積された第二の導電性材料を C M P により除去し、

開口部内の側壁を前記第二のゲート電極、開口部に埋め込まれた第二の導電性材料を前記第一のゲート電極とすることを特徴とする電界効果型トランジスタの製造方法。

【請求項 16】 請求項 1 記載の電界効果型トランジスタを製造する方法であって、  
ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、

全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、

開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、

延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部内に側壁を設け、

少なくとも開口部を含む領域に第二の導電性材料を堆積した後、開口部を除く領域に堆積された第二の導電性材料を C M P により除去し、

開口部内の側壁を前記第二のゲート電極、開口部に埋め込まれた第二の導電性材料を前記第一のゲート電極とすることを特徴とする電界効果型トランジスタの製造方法。

【発明の詳細な説明】

50

5

【0001】

【発明の属する技術分野】本発明は、電界効果型トランジスタにおける、しきい値電圧の制御に関する。特に高速、高集積LSIに用いられる電界効果型トランジスタに関する。

【0002】

【従来の技術】図34に通常のnチャネル電界効果型トランジスタ(MOSFET)の断面図を示す。p型シリコン基板101上に薄いゲート酸化膜102を介して、n<sup>+</sup>ポリシリコンよりなるゲート電極103が設けられ、ゲート電極103の両側のシリコン基板101の表面に、n<sup>+</sup>型のソース・ドレイン領域105が設けられる。このトランジスタにおいて、しきい値電圧よりも高い電圧がゲート電極に印加されると、ゲート電極下部のシリコン基板(チャンネル形成領域104)に、電子濃度の高い領域(反転層)が形成され、それが電流の経路(チャンネル)となる。

【0003】一般に電界効果型トランジスタのしきい値電圧は、チャンネル形成領域104及びその付近のシリコン基板101中における不純物(例えばホウ素)の濃度に依存する。これは不純物濃度を変えると、不純物イオンがもたらす電界の大きさが変わり、その結果しきい値電圧が変わるためである。従って、不純物濃度を調整することにより、しきい値電圧を所望の電圧に設定できる。一般にnチャネルトランジスタは正のしきい値電圧を、pチャネルトランジスタは負のしきい値電圧を持つように設定される。

【0004】また、不純物の導入とは異なる方法でしきい値電圧を設定する方法が、例えば牛木らによって、1996年IEDMテクニカルダイジェスト、117ページ(T. Ushiki et al., 1996 IEDM Tech Dig., p. 117)に示されている。その構造を図35に示す。シリコン基板101上に埋め込み酸化膜110、単結晶半導体からなるSOI層111が積層されたSOI基板上に、ゲート絶縁膜102を介してゲート電極113を設け、ゲート電極の両側のSOI層の表面に、n<sup>+</sup>型のソース・ドレイン領域105を設ける。ゲート電極113の側面には、絶縁膜112よりなる側壁を持ち、チャンネルはゲート電極下部のSOI層(チャンネル形成領域104)に形成される。このトランジスタは、不純物濃度を調整する代わりに、n<sup>+</sup>ポリシリコンよりも仕事関数の大きいTaをゲート電極113の材料として用いることにより、しきい値電圧の設定を行う。

【0005】これは、しきい値電圧が不純物濃度だけでなく、ゲート電極の仕事関数にも依存するという性質を利用したものである。これについて詳しく説明する。ゲート電極の電位は仕事関数が大きい程低下する。したがって、nチャネルトランジスタにおいて、n<sup>+</sup>ポリシリコンよりも仕事関数の大きい材料をゲート電極として用

6

いると、チャンネルを形成するためには、より高い電圧をゲート電極にかける必要が生じる。すなわち、チャンネルの形成させるしきい値電圧が上がる。通常のnチャネルトランジスタでは、チャンネル形成領域に不純物を導入しなければしきい値電圧は0V以下となる。しかし、Ta等をゲート電極に用いると、しきい値電圧が上がるので、不純物を導入せずともnチャネルトランジスタにおいて、しきい値電圧を正の値にできる。

【0006】また、発明の目的がしきい値電圧の設定ではないので、本発明とは目的が異なるが、短チャンネル効果の抑制、電界集中の緩和を目的とした図36に示す電界効果型トランジスタが、特開昭60-43863号公報に記されている。このトランジスタは、半導体基板101と、基板とは異なる導電型のソース・ドレイン領域105と、半導体基板上にゲート絶縁膜102を介して設けられた第一のゲート電極(図ではp<sup>+</sup>ポリシリコンゲート115)と、第一のゲート電極の側壁に接して設けられた第二のゲート電極と仕事関数の異なる第二のゲート電極(図ではn<sup>+</sup>ポリシリコン116)を備える。そして半導体基板をp型(ソース・ドレイン領域はn型。nチャネルトランジスタ)とするときは、第二のゲート電極の仕事関数を第一のゲート電極の仕事関数より小さくする。半導体基板をn型(ソース・ドレイン領域はp型。pチャネルトランジスタ)とするときは、第二のゲート電極の仕事関数を第一のゲート電極の仕事関数よりも大きくする。また、第一のゲート電極、第二のゲート電極の一方をMo、あるいはMoシリサイドとする例も示されている。図36に示す発明は、第二のゲート電極の下に浅い反転層を誘起させることによりドレイン電界を緩和し、信頼性の向上あるいは短チャンネル効果を抑制を実現するものである。なお、ここで述べた材料では、p<sup>+</sup>シリコン(あるいはp<sup>+</sup>ポリシリコン)の仕事関数が最も大きく、MoあるいはMoシリサイドがそれに続き、n<sup>+</sup>シリコン(あるいはn<sup>+</sup>ポリシリコン)が最も小さい。

【0007】これと類似した構造は、特開平3-227562号公報、特開平6-151828号公報にも記されている。特開平3-227562号公報に記載の発明の目的は、ソース・ドレイン領域上にゲートがオーバーラップする領域において、ドレイン領域のディープディプレッションした領域に誘起される電界を緩和し、漏れ電流を低減すること、特開平6-151828号公報に記載の発明の目的は、短チャンネル効果の抑制である。

【0008】また、n型のソース・ドレイン領域を持つnチャネルトランジスタにおいて、図36の従来例とは逆に、上記第一のゲート電極よりも、第二のゲート電極の仕事関数を大きくするよう、ポリシリコン、金属等からそれぞれの材料を選択する方法が、特開昭59-200465号公報、特開平6-232389号公報、特開平8-340104号公報等に記されている。これを図

7

37に示す。これらの発明の目的は、特開昭59-200465号公報では電界の緩和、特開平6-232389号公報、特開平8-340104号公報では短チャネル効果の抑制である。

【0009】また、チャネル形成領域ではなく、LDD領域(ソース・ドレイン領域に隣接し、ソース・ドレイン領域と同一導電型でソース・ドレイン領域よりも不純物濃度の低い領域)上の位置において、ゲート電極とは異なる導電性材料により側壁を設ける方法が、特開昭63-144574号公報、特開昭64-89461号公報、特開平1-232765号公報、特開平5-226361号公報に記されている。これらは、LDD部において電子(ホットキャリア)がトラップされることにより、経時劣化を防ぐことを目的とする。

【0010】

【発明が解決しようとする課題】第一の課題

しきい値の制御のためにチャネル形成領域に導入された不純物は、ドレイン電流(ドレイン領域に流入する電流)を減少させる作用がある(第一の課題)。不純物の導入により電流が低下する理由は、不純物濃度が低い場合には、主に不純物イオンにより形成されるチャネル面に垂直な方向の電界が原因であり、不純物濃度が高い場合には不純物イオンによるキャリアの散乱(不純物散乱)が主たる原因となる。この問題は、電界効果型トランジスタが微細化し、薄いゲート酸化膜が用いられると(あるいは単位面積当たりのゲート容量が大きくなると)より深刻化する。ゲート長さが $0.25\mu\text{m}$ より小さいトランジスタで、厚さ $5\text{nm}$ 以下のゲート酸化膜を使うことが検討されているが、しきい値電圧の絶対値はゲート酸化膜が薄くなるに従い小さくなるので、しきい値電圧を確保するためには、不純物濃度を上げる必要が生じる。すると、第一の課題はより深刻になる。また特に、絶縁膜上の薄い半導体層(SOI)に素子を形成するSOI電界効果型トランジスタでは、しきい値電圧の設定に必要なだけの不純物を、薄い半導体層中に配置する必要があるため、その結果キャリアが流れる領域における不純物濃度が高くなり、電流の低下が深刻化する。

【0011】第二の課題

不純物の導入によりしきい値電圧を設定する場合、トランジスタごとに不純物の分布が異なり、その結果しきい値電圧等の特性がトランジスタごとに異なってしまうという問題(統計的バラツキ)が発生する。この問題は、素子の微細化に伴い顕著になることが知られている。

【0012】第三の課題

以上のように、不純物導入によりしきい値電圧を制御するという方法には問題があり、これは素子の微細化や、SOI構造の適用によって顕在化する。

【0013】図35の構造は、不純物を用いずにしきい値を設定できるので、前記第一、第二の課題が解消される。しかし、この方法では、しきい値電圧はゲート電極

8

を構成する材料に固有の仕事関数により決まってしまう。しきい値電圧を調整するためには、ゲート電極の材料を選び直す必要がある。材料の変更は製造装置、製造工程、原料の変更の伴うので、しきい値電圧を簡単に変更することが難しくなる。また、必要なしきい値が得られるゲート電極材料が必ず存在するとは限らない。本来、しきい値電圧は、トランジスタにより構成する回路の動作が最適になるように決めることが望ましいが、この方法では、しきい値電圧の最適化が難しくなるという、第三の課題が発生する。

【0014】第四の課題

特開昭60-43863号公報(図36)の技術および類似の技術は、不純物の導入を抑制することや、しきい値電圧の制御を目的としたものではなく、もとより第一、第二の課題は解決されない。これらの技術は電界の緩和、短チャネル効果の抑制を目的としたものである。しかし、しきい値電圧に着目すると、これらの技術においては、トランジスタを形成した場合に、通常のしきい値電圧が得られないという、本質的な欠陥がある(第四の課題)。従って、これら公報に記載された電界効果型トランジスタを作製しても、通常のしきい値電圧が得られないので、正常に回路を動作させることができない。

【0015】第四の課題について詳しく述べる。従来の技術において、 $n$ チャネルトランジスタを例にとると、第一のゲート電極に比べ、第二のゲート電極のしきい値電圧を低くする。第二のゲート電極には、 $n^+$ ポリシリコン又はこれより仕事関数の大きな材料を用いる。第一のゲート電極には、第二のゲート電極よりもさらに仕事関数の大きな材料を用いる。通常のトランジスタのゲート電極は $n^+$ ポリシリコンであるので、この結果、第一のゲート電極の仕事関数は通常のトランジスタのゲート電極よりも大きくなる。図36のトランジスタにおいて、しきい値電圧は第一のゲート電極下部に形成される電位障壁で決まるが、第一のゲート電極の仕事関数が大きいため、しきい値電圧が通常のトランジスタに比べて、高くなりすぎる。しきい値電圧が第一のゲート電極の仕事関数に依存するので、しきい値電圧の設定が自由に行えないという第三の課題と同様の問題が発生する。また、一般にトランジスタが微細化すると、パンチスルー(漏れ電流が流れる異常動作)を防ぐために、チャネル形成領域またはその下部に、不純物(ホウ素等)をやや高い濃度で導入する。この不純物はしきい値電圧を高くする作用があるので、その上第一のゲート電極に仕事関数の大きい材料を用いると、しきい値電圧が高くなりすぎる。従って、第一のゲート電極の仕事関数が、通常のトランジスタの場合より大きい場合にも、しきい値電圧を所望の値に設定できるよう、構造上の工夫が必要になる。図37の発明においても、第一、第二の課題は同様に発生する。また、中央に $n^+$ ポリシリコンよりも仕事関数の大きな材料( $n$ チャネルの場合)を用いると、

9

図36の技術と同様に第三、第四の課題が発生する。しきい値の制御には、前記図34の構造（不純物の導入）、又は図35の構造（ゲートの仕事関数の利用）のいずれかと同一の方法を用いている。不純物を導入すると、前記第一、第二の課題が発生する。また、ゲートの中央部を通常とは異なる材料により構成した場合には、第三の課題が発生し、しきい値電圧が高くなり過ぎ、必要な値に調整できないという問題が生じる。

【0016】そこで本発明の目的は、上記課題を解決することであり、不純物のドーピングを行わずに、しきい値電圧を自由に設定可能な電界効果型トランジスタ及びその製造方法を提供することである。

【0017】

【課題を解決するための手段】本発明においては、図1に示す通り、電界効果型トランジスタのゲート電極を、中央部の第一のゲート電極7と、その両側の第二のゲート電極8により構成される三層構造にする。第一のゲート電極と第二のゲート電極は、互いに仕事関数の異なる材料を用いる。第一のゲート電極長（ $T_m$ 、図1の横方向の長さ）を、ある長さより小さくすると、第一のゲート電極による電界と、第二のゲート電極による電界が互いに干渉を起こし、ゲート電極の仕事関数が、第一のゲート電極を構成する材料の仕事関数と、第二のゲート電極を構成する材料の仕事関数の、あたかも中間的な値（実効的な仕事関数）を持つようにふるまう。すると、この構造では、第一のゲート電極7の幅を変えることにより、実効的な仕事関数を変化させ、しきい値電圧を自由に調整することができる。

【0018】従って本発明を用いると、しきい値を設定するためのチャネルドーピングを必要としないので前記第一、第二の課題が解決され、また、しきい値を自由に調整することができるので、第三の課題が解決される。さらに、ゲート電極の実効的な仕事関数が、第一のゲート電極を構成する材料の仕事関数よりも実効的に小さくなるので、第四の課題を軽減できる。また、本発明は、ポリシリコンと金属等、通常の材料の組み合わせで構成可能であり、特殊な材料（例えば $n^+$ ポリシリコンより仕事関数の低い材料）を必ずしも必要としない。

【0019】第一のゲート電極による電界と、第二のゲート電極による電界が互いに干渉を起こし、本発明の効果が顕著になるのは、しきい値電圧がゲート電極に印加された状態で、ソース・ドレイン領域が $n$ 型の場合は半導体層の電位がゲート電極よりも高くなるような電界を、ソース・ドレイン領域が $p$ 型の場合は半導体層の電位がゲート電極よりも低くなるような電界を、ゲート電極の中央において第二のゲート電極が形成するような、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲート電極の長さを4

10

0nm以下である場合、であり、チャネル領域に不純物を導入しないSOIMOSFETでは、後述のようにこの二つの条件は一致する。

【0020】また、本発明の効果をより顕著にするために、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲート電極の長さを $T_m$ 、トランジスタのしきい値電圧を $V_{th}$ としたとき、 $V_{th}$ を $T_m$ で微分した係数 $dV_{th}/dT_m$ の絶対値（ $|dV_{th}/dT_m|$ ）が $4 \times 10^{-3} V/nm$ より大きくなる範囲に、 $T_m$ を設定する。

【0021】以下、手段について具体的に記述する。

【0022】本発明においては、半導体3上に絶縁膜4を介してゲート電極（7、8）が設けられ、ゲート電極の下部の半導体層はチャネル形成領域9を成し、チャネル形成領域を挟んで第一導電型のソース・ドレイン領域6が形成される電界効果型トランジスタにおいて、ゲート電極は、その中央部に位置する第一のゲート電極7と、その両側に位置する第二のゲート電極8からなり、第二のゲート電極において、その少なくとも一部はチャネル形成領域上に位置し、該第一導電型が $n$ 型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも小さく、該第一導電型が $p$ 型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも大きく、しきい値電圧がゲート電極に印加された状態で、ソース・ドレイン領域が $n$ 型の場合は半導体層の電位がゲート電極よりも高くなるような電界を、ソース・ドレイン領域が $p$ 型の場合は半導体層の電位がゲート電極よりも低くなるような電界を、ゲート電極の中央において第二のゲート電極が形成するような、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲート電極の長さを40

特徴とする。この条件は、具体的には $T_m$ が40nm以下の場合に明確に現れ（図44、図45参照）、この条件は、第一のゲート電極の幅を変えることによって、しきい値電圧を調整するという効果が顕著になる条件に一致する（図39、図41参照）。  
【0023】また本発明においては、半導体3上に絶縁膜4を介してゲート電極（7、8）が設けられ、ゲート電極の下部の半導体層はチャネル形成領域9を成し、チャネル形成領域を挟んで第一導電型のソース・ドレイン領域6が形成される電界効果型トランジスタにおいて、ゲート電極は、その中央部に位置する第一のゲート電極7と、その両側に位置する第二のゲート電極8からなり、第二のゲート電極において、その少なくとも一部はチャネル形成領域上に位置し、該第一導電型が $n$ 型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも小さく、該第一導電型が $p$ 型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも大きく、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲ

11

ート電極の長さが40nm以下であることを特徴とする。この条件を満たす時に、第一のゲート電極の幅を変えることによって、しきい値電圧を調整するという効果が顕著になる(図39、図41参照)。

【0024】また本発明においては、半導体層3上に絶縁膜4を介してゲート電極(7、8)が設けられ、ゲート電極の下部の半導体層はチャンネル形成領域9を成し、チャンネル形成領域を挟んで第一導電型のソース・ドレイン領域6が形成される電界効果型トランジスタにおいて、ゲート電極は、その中央部に位置する第一のゲート電極7と、その両側に位置する第二のゲート電極8からなり、第二のゲート電極において、その少なくとも一部はチャンネル形成領域上に位置し、該第一導電型がn型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも小さく、該第一導電型がp型の場合は、第二のゲート電極の仕事関数が第一のゲート電極の仕事関数よりも大きく、第一のゲート電極において第二のゲート電極に接触する両界面の間隔すなわち第一のゲート電極の長さを $T_g$ 、トランジスタのしきい値電圧を $V_{th}$ としたとき、 $V_{th}$ を $T_g$ で微分した係数 $dV_{th}/dT_g$ の絶対値( $|dV_{th}/dT_g|$ )が $4 \times 10^{-3} V/nm$ より大きくなる範囲に、 $T_g$ を設定することを特徴とする。この条件を満たす時に、第一のゲート電極の幅を変えることによって、しきい値電圧を調整するという効果がより顕著になる(図39、図41参照)。

【0025】また本発明においては、図24のように第二のゲート電極53の上部に、第一のゲート電極54の延長部を設ける。これは第一のゲート電極と第二のゲート電極の接触面積を増し、両電極間の導通を良くすることができ、両電極の電位を安定させられる。

【0026】また本発明においては、図26、図28のように、第一のゲート電極54、64と第二のゲート電極53の間に、絶縁膜を挟むことを特徴とする。これは両電極相互間の不純物の拡散、あるいは両電極を構成する材料間の化学反応を抑制する効果を持つ。

【0027】また本発明においては、図29のように第一のゲート電極64と第二のゲート電極53の上部に、これら双方に接続した導電体66を設けることを特徴とする。これは、両ゲート電極間の導通を改善し、両ゲート電極の電位を安定させる作用を持つ。

【0028】また本発明においては、図19～図26に示すように、ダミーパターンを形成し、ダミーパターンをマスクに半導体中にソース・ドレイン領域を形成し、全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、延長された開口部に第一の導電性材料を堆積してこれをエッチバックすることにより、開口部に側壁を設け、続いて第二の導電性材料を堆積し、これをパターニングすることにより、側壁を前記第二のゲート電極、第二の導電性材料を前記

12

第一のゲート電極とすることを特徴とする。

【0029】また本発明の製造方法においては、図22、図23、図25、図26が示すように、延長された開口部に第一の導電性材料を堆積してこれをエッチバックすることにより、開口部に側壁を設けた後、その側壁表面に絶縁膜を形成し、続いて第二の導電性材料を埋め込むことを特徴とする。

【0030】また本発明製造方法においては、前記第一のゲート電極、第二のゲート電極の上部に、これら双方と接続した導電体を成長させることを特徴とする。

【0031】また本発明の製造方法においては、エッチングによって該ダミーパターンを除去するために開口部を設ける際に、該ダミーパターン上の絶縁膜をCMPにより除去することを特徴とする。

【0032】また本発明は、ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜をCMPにより除去することにより、該ダミーパターン上部に絶縁膜の開口部を設け、開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、延長された開口部に、導電性材料を埋め込み、これをゲート電極とすることを特徴とする電界効果型トランジスタの製造方法に関する。

【0033】さらに本発明は、第一のゲート電極とその両側に位置する第二のゲート電極を有する電界効果型トランジスタの製造方法であって、上記製造方法において、延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部に側壁を設け、続いて第二の導電性材料を堆積し、これをパターニングすることにより、側壁を前記第二のゲート電極、第二の導電性材料を前記第一のゲート電極とする電界効果型トランジスタの製造方法に関する。

【0034】また本発明は、ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、開口部からのエッチングによってダミーパターンを除去して開口部を下に延長し、少なくとも開口部を含む領域に導電性材料を堆積した後、開口部を除く領域に堆積された導電性材料をCMPにより除去し、開口部に埋め込まれた導電性材料をゲート電極とすることを特徴とする電界効果型トランジスタの製造方法に関する。

【0035】さらに本発明は、第一のゲート電極とその両側に位置する第二のゲート電極を有する電界効果型トランジスタの製造方法であって、ダミーパターンを形成し、ダミーパターンをマスクにダミーパターンの両側の半導体中にソース・ドレイン領域を形成し、全面を絶縁膜で覆い、該ダミーパターン上の絶縁膜に開口部を設け、開口部からのエッチングによってダミーパターンを

13

除去して開口部を下に延長し、延長された開口部に、第一の導電性材料を堆積してこれをエッチバックすることにより、開口部内に側壁を設け、少なくとも開口部を含む領域に第二の導電性材料を堆積した後、開口部を除く領域に堆積された第二の導電性材料をCMPにより除去し、開口部内の側壁を前記第二のゲート電極、開口部に埋め込まれた第二の導電性材料を前記第一のゲート電極とすることを特徴とする電界効果型トランジスタの製造方法に関する。

【0036】これらの製造方法を用いると、上述のトランジスタ構造を容易に形成できる。

【0037】上記本発明のダミーパターンを用いる製造方法は、第一及び第二のゲート電極を持つトランジスタで、図1の構造とは第一のゲート電極の寸法や仕事関数の設定が異なるもの（例えば図36の従来例など目的が異なるもの）に適用してもよい。これらの製造方法の長所は、第一にはパターンの形成が容易であることである。一般にゲート電極は大きいほど加工が容易である。しかし、先に第一のゲート電極を形成し、その側壁に第二のゲート電極を設ける工程では、ゲート長（第一及び第二のゲート電極を合わせた全長）よりも小さい寸法に、第一のゲート電極をリソグラフィにより形成することが強いられる。しかし、本発明の製造方法は、ゲートの全長に等しいダミーパターンをリソグラフィにより形成すればよいので、リソグラフィ工程の負担が軽減される。第二には熱の影響の低減である。ダミーパターンをマスクにソース・ドレイン領域を形成後に第一及び第二のゲート電極を形成するので、ソース・ドレイン領域を形成する際の熱処理によって、第一及び第二のゲート電極の界面で化学反応、あるいは界面間のイオンの移動が起きることがない。

【0038】さらに、ダミーパターンの上部の絶縁膜をCMPにより除去してダミーパターンを露出させる製法を用いると、その上部の絶縁膜を除去してダミーパターンを露出させる際にフォトリソグラフィ工程を行う必要がなく、工程が簡略化され工程における負担が軽減されるとともに、フォトリソグラフィに伴うパターンの位置ズレによる不良を削減できる。開口部中に導電性材料を埋め込んだ後、CMPにより導電性材料を加工し、ゲート電極を得る製法を用いると、平坦な構造が得られる。なお、ここに述べたCMP工程の長所は、ゲートが単一の材料より成る場合に適用した場合にも得られる。

【0039】また、ダミーパターン上に、ダミーパターンよりも幅の広い開口部を設けると、形成されるゲート電極の上部において、その幅を広くできるので、ゲート抵抗を低減できる。

【0040】

【発明の実施の形態】第一の実施形態

まず、図1を参照して本発明の一実施形態の構成を説明する。

14

【0041】絶縁体2上の半導体層（SOI層）3上に、ゲート絶縁膜4を介し、第一のゲート電極7が設けられる。第一のゲート電極の両側のゲート絶縁膜上には、第一のゲート電極の側面に接して第二のゲート電極8が設けられ、第二のゲート電極の外側の半導層の表面に、第一導電型のソース・ドレイン領域6が設けられる。第一導電型がn型の場合は、第二のゲート電極の仕事関数は第一のゲート電極の仕事関数よりも小さく、第一導電型がp型の場合は、第二のゲート電極の仕事関数は第一のゲート電極の仕事関数よりも大きくなるように、第一、第二のゲート電極の材料を選ぶ。第一、第二のゲート電極は互いに導通し、同じ電圧が印加される。第一のゲート電極長（ $T_g$ 、図1の水平方向における第一のゲート電極の長さ）は40nm以下とする。

【0042】この構造において、しきい値電圧の第一のゲート電極長（ $T_g$ ）依存性をデバイスシミュレータにより求めた結果を、図38及び図40に示す。シミュレーションは、 $n^+$ 型のソース・ドレイン領域を持つトランジスタ（nチャネルトランジスタ）に対して行った。ゲート長（ $L$ ：第一のゲート電極7と二つの第二のゲート電極8を合わせたゲートの全長であって、図1の横方向の幅）はそれぞれ0.1 $\mu$ mおよび0.2 $\mu$ mである。ゲート酸化膜厚は1.5nm、3nm、5nm、SOI膜厚は10nm、ドレイン電圧は0.1Vとした。第二のゲート電極は $n^+$ ポリシリコン、第一のゲート電極の仕事関数はシリコンの禁制帯中央とした。チャネル形成領域9のSOI層3中にはドーピングを行っていない。なお、しきい値電圧は、ゲート長と同じゲート幅を持つトランジスタにおいて、ドレイン電流が $10^{-7}$ Aとなるゲート電圧とした。

【0043】第一のゲート電極長 $T_g$ を変えると、しきい値電圧 $V_{th}$ が変わることがわかる。この効果は $T_g$ が40nm以下の時に特に顕著である。この理由について説明する。 $T_g$ が50nm以上では、しきい値電圧はゲート酸化膜が厚くなると上昇している。これは通常のトランジスタと同じ振る舞いである。この振る舞いは、ゲート電極の電位を、電子が流れるチャネルの電位よりも高くする方向の電界がゲート酸化膜中に形成され、チャネルとゲート電極を隔てるゲート酸化膜が厚くなればなるほど、ゲート酸化膜の両界面の電位差が大きくなり、ゲート電極の電位が高くなることを反映している。しかし $T_g$ が40nm以下では、しきい値電圧はゲート酸化膜が厚くなると低下し、通常のトランジスタとは振る舞いが異なる。これは第一のゲート電極の電界と第二のゲート電極の電界が互いに干渉し、ゲート電極とチャネルの間に、通常のトランジスタとは異なる電位分布が形成されていることを反映したものである。この領域では、トランジスタのしきい値電圧は、第一または第二のいずれか一方のゲート電極からの電界によって決まるのではなく、両者の電界が混合されて形成される電界によって



15

決まる。これは、あたかも、ゲート電極の仕事関数が、第一のゲート電極を構成する材料と、第二のゲート電極を構成する材料との中間の値を持つ、実効的な仕事関数に変化したようにふるまうものである。その結果、図38及び図40に示すように、第一のゲート電極の幅を変え、電界の干渉状況を変えることにより、しきい値電圧を大きく変えることができるようになる。そしてこれらの図に示すように、第一のゲート電極の電界と第二のゲート電極の電界が互いに干渉を起こす条件 ( $T_{\text{H}}$  が40 nm以下) において、第一のゲート電極長を変化させることにより、しきい値電圧を大きく変化させることができる。また、ゲート長を変化させた場合にも同様なシミュレーション結果が得られるので、この関係はゲート長が異なる場合でも成り立つといえる。従って本発明のように、第一のゲート電極長を、第一のゲート電極の電界と第二のゲート電極の電界が互いに干渉を起こす範囲 (40 nm以下) において変化させれば、しきい値電圧を自由に設定することができる。また、上記のシミュレーション結果は、チャネル形成領域に不純物を導入しなくても、nチャネルトランジスタにおいて、正のしきい値電圧が得られることを示している。

【0044】また、pチャネルトランジスタについては、極性をすべて逆にすれば、同様の事が成り立つ。

【0045】以上の作用により、本発明の電界効果型トランジスタは、不純物の導入を必要とせず、しきい値電圧を自由に設定できるので、第一、第二の課題が解決される。また第一のゲート電極の幅を変えることにより、しきい値電圧を自由に調整できるので、しきい値を変更するために第一のゲート電極を構成する材料を変える必要が無く、第三の課題が解決される。

【0046】第一のゲート電極の電界と第二のゲート電極の電界との干渉について、具体的に説明する。

【0047】図42に本発明のトランジスタの断面図を示す。nチャネルトランジスタの場合、第二のゲート電極165の仕事関数は第一のゲート電極164の仕事関数よりも小さいので、第二のゲート電極の電位は第一のゲート電極よりも高い。このため、第一のゲート電極の下部の電位は、図42の矢印に示すように、第二のゲート電極からの電界により上昇する。これが、上に述べた電界の干渉であり、これは第一のゲート電極長が小さいほど顕著になる。また、第一のゲート電極の直下では、第一のゲート電極の影響が大きく、電位は低くなるので、この効果は第一のゲート電極の下部の、第一のゲート電極から少し距離を置いた部分、具体的には例えばチャネル形成領域において顕著になる。

【0048】電位の上昇について、図43に示す。これは、第一のゲート電極の中央部において、垂直方向の電位分布を示したものである。素子構造は、図39におけるものと同様であり、図43の中央の曲線 (b) が  $T_{\text{H}} = 30 \text{ nm}$  の場合である。ドレイン電圧は0.1 Vで

16

ある。図43中の曲線 (a) はゲート電極の全体がn+ポリシリコンである場合、曲線 (c) はゲート電極の全体が金属の場合 (仕事関数はシリコンの禁制体中央と仮定した場合) である。曲線 (b) の構造に対して、曲線 (a) の構造はゲート電極の全体が第二のゲート電極と同じ材料である場合、曲線 (c) の構造はゲート電極の全体が第一のゲート電極と同じ材料である場合に相当するが、図43を見ると、曲線 (b) におけるSOI層中の電位は、曲線 (a) と曲線 (b) の中間になり、曲線 (b) の構造における電界は、n+ポリシリコンの場合の電界と金属の場合の電界とがあたかも混合されたような振る舞いを示すことがわかる。ゲート電極に、トランジスタのしきい値電圧となる電圧を印加した場合の、垂直方向の電位分布を図44、図45に示す。素子構造は図39におけるものと同様であり、ドレイン電圧は0.1 Vである。第一のゲート電極の長さ  $T_{\text{H}}$  が30 nm及び40 nmの場合 (図44) は、SOI層の電位がゲート電極よりも高くなっており、前記電界の混合が起きている。この場合には第二のゲート電極からの電界の干渉が顕著であり、 $T_{\text{H}}$  を10 nm変化させると、しきい値電圧は40 mV以上変化する (図右端の電位の変化量に相当)。これに対して、第一のゲート電極の長さ  $T_{\text{H}}$  が50 nm、60 nm及び70 nmの場合 (図45) は、SOI層よりもゲート電極の電位が高く、通常のMOSFETにおいて、同様のバイアス条件を与えた場合と何ら変わらない。すなわち、上に述べたような顕著な電界の干渉、混合は無く、 $T_{\text{H}}$  を10 nm変化させた場合のしきい値電圧の変化は10~15 mVと小さい。

【0049】従って本発明においては、電界の混合が顕著になる条件 ( $T_{\text{H}}$  が40 nm以下、SOI層の電位がゲート電極よりも高い。ゲート酸化膜中の電位がゲート電極側で低くなる。) を積極的に用いることにより、第一のゲート電極長  $T_{\text{H}}$  を制御することにより、しきい値電圧を大きく制御することを可能とするものである。

【0050】ゲート電極にしきい値電圧を印加したときに、SOI層の電位がゲート電極よりも高くなる電位分布は、通常のSOIMOSFETにおいても、ドレイン電圧が極めて高い場合において、特にソース・ドレイン領域に近い領域等において認められるが、本発明は第一、第二のゲート電極の電界の干渉によって発生するものであり、ドレイン電圧が低くとも発生する。また、本発明では、これがゲートの中央 (図43、図44では、ゲート長0.1  $\mu\text{m}$  のトランジスタにおいて、ソースから0.05  $\mu\text{m}$  の位置) でも認められる。また、SOI層の電位がゲート電極よりも高くなる電位分布は、SOI層に大量のドナーを導入した場合 (この場合、第一、第二の課題が発生) にも認められるが、本発明はドナーを導入せず第一、第二の課題が発生しないという点において優れる。また、SOI層の電位がゲート電極より高

17

くなる電位分布は、支持基板に正の電圧を印加した場合にも発生するが、この場合は基板に電圧を印加するための電源、配線が必要となる欠点がある。本発明はこれらの欠点も持たない。

【0051】図39及び図41は、 $n$ チャネルトランジスタのしきい値電圧 $V_{th}$ を第一のゲート電極幅 $T_g$ で微分した値( $dV_{th}/dT_g$ )を示す。図39はゲート長 $0.1\mu m$ 、図41は $0.2\mu m$ の場合である。 $T_g$ が $40nm$ より大きくなると、その値が $T_g$ が小さい領域( $T_g=10nm$ )の20%以下まで低下する。 $dV_{th}/dT_g$ の値は、 $T_g=10nm$ では $1\sim 2\times 10^{-2}V/nm$ であるが、 $T_g=50nm$ では $2\times 10^{-3}V/nm$ 以下となり、 $T_g=60nm$ ではほぼ $T_g=10nm$ での値の $1/10$ 程度となる。従って、 $T_g$ を $50nm$ 以上に厚くしても、 $V_{th}$ の $T_g$ 依存性は小さく、 $T_g$ を变えることによってしきい値を制御するという効果は薄れる。これに対して、 $T_g=40nm$ では $dV_{th}/dT_g$ の値は $1.5\times 10^{-3}V/nm$ から $4\times 10^{-3}V/nm$ の範囲にあり、 $T_g$ が $40nm$ 未満ではこれよりも大きくなる。従って、第一、第二のゲート電極の電界が干渉を起こす範囲( $T_g$ が $40nm$ 以下)では、 $V_{th}$ の $T_g$ 依存性は大きく、第一のゲート電極の幅を調整することによって $V_{th}$ を有効に調整できる。

【0052】また、図39に示すように、第一、第二のゲート電極が干渉を起こす範囲であっても、 $dV_{th}/dT_g$ の値はゲート酸化膜厚が薄いと低下するので、しきい値電圧を大きく制御したい場合には、ゲート酸化膜が厚い場合と同じ値が得られる範囲に $T_g$ を設定してもよい。例えば、 $T_g=40nm$ 、ゲート酸化膜厚 $5nm$ では、 $dV_{th}/dT_g$ の値は $3\times 10^{-3}V/nm$ から $4\times 10^{-3}V/nm$ の範囲にあるので、ゲート酸化膜等の素子の構造条件が変わった場合においても、 $dV_{th}/dT_g$ の値が $4\times 10^{-3}V/nm$ を越える範囲に $T_g$ を設定する。この場合、図39より、ゲート酸化膜厚 $3nm$ では $T_g$ を $37nm$ 以下、ゲート酸化膜厚 $1.5nm$ では $T_g$ を $32nm$ 以下に設定することになる。こうすることにより、 $V_{th}$ が $T_g$ に対して敏感な領域を利用できる。

【0053】なお、 $p$ チャネルトランジスタでは、 $V_{th}$ 及び $dV_{th}/dT_g$ の値が負になるので、その絶対値について上と同様の関係を持つように $T_g$ を設定する。従って、上述の $V_{th}$ 及び $dV_{th}/dT_g$ をそれぞれの絶対値に置き換えることで、 $n$ チャネルトランジスタと $p$ チャネルトランジスタの両方に対して成り立つ関係が得られる。また、 $n$ チャネルトランジスタに対して決めた $T_g$ を、そのまま $p$ チャネルトランジスタに適用してよい。

【0054】また、通常、FETにおいて不純物を導入することには、しきい値の設定と、パンチスルーの抑制の二つの目的がある。また逆に不純物濃度は、しきい値とパンチスルーの両者に影響する。すなわち、通常のM

18

OSFETでは、しきい値の設定に加えて、パンチスルーの抑制という観点からも不純物を導入する。従って、仮にしきい値電圧を設定するために不純物を導入しなくてもよい構造が形成できたとしても、パンチスルー抑制のために導入した不純物が、しきい値に影響を与え、前記第一、第二の課題を引き起こすという問題がある。しかし、上に述べた本発明の実施例では、パンチスルーを起こしにくいSOI構造を用いるので、パンチスルー抑制の観点からも不純物を導入する必要がなく、前記第一、第二の課題が解決される。なお、 $T_g$ の値は、上に述べた範囲内において、必要なしきい値電圧を満たすように設定すればよい。例えば、 $n$ チャネルトランジスタでしきい値電圧が正の値となるように設定する。図38から、これは $T_g$ 以上の場合であるから、 $T_g$ の値を $3.5nm$ 以上とするのが望ましい。このことは、特にCMOS回路等、正のしきい値電圧を必要とする回路において重要である。また、オフ電流(ゲート電極に $0V$ を印加した場合のドレイン電流)を、ゲート電極にしきい値電圧を印加した場合にくらべて2桁小さくしようとすると、しきい値電圧は約 $0.12V$ 以上とする必要がある。これを満たすように $T_g$ を設定する。この場合、図38から $T_g$ は $11nm$ 以上であることが好ましい。また、一般に $1.2\sim 1.5V$ 程度の電源電圧で動作するCMOS回路では、しきい値電圧を $0.2\sim 0.3V$ に設定することで、動作速度、リーク電流およびノイズマージンを同時に良好に保つことができると考えられているので(タウア他、1997、アイ・イー・ディー・エム テックニカルダイジェスト、215頁)、これを満たすように $T_g$ を設定することが望ましい。この場合、図38から、 $T_g$ は $18nm\sim 30nm$ の範囲が望ましい。

【0055】また例えば、図36の従来例では、第一のゲート電極( $p^+$ ポリシリコン、 $Mo$ 、 $Mo$ シリサイド)の仕事関数が、通常のトランジスタでゲート電極として用いられる材料である $n^+$ ポリシリコンよりも大きい。この場合、トランジスタのしきい値電圧が高くなりすぎるという問題が発生する。しきい値電圧は、チャネル形成領域の不純物濃度とゲートの仕事関数に依存するが、チャネル形成領域への不純物ドーピングはパンチスルー(不要な導通による漏れ電流の発生)の抑制のためにも必要であるので、パンチスルーを抑制するためのドーピングを行うと、しきい値電圧が高くなりすぎ、実際の素子に適用することができない。これはしきい値が第一のゲート電極の仕事関数に依存するために、前記第三の課題と同様の問題が発生するものと言える。これについても本発明では、第一のゲート電極長を $40nm$ 以下にすると、第一、第二のゲート電極による電界が顕著に干渉することを利用し、しきい値が高くなり過ぎることを防ぎ、最適なしきい値を得られるように設定することができる。従って、本発明を図36の従来例に適用する

19

と、第一のゲート電極の仕事関数を実効的に下げることができるので、しきい値電圧が高くなり過ぎるという問題を解決し、回路への適用が可能になる。

【0056】また、本発明の構造では、しきい値電圧は第一のゲート電極の電界と、第二のゲート電極のうち第一のゲート電極に隣接する領域の電界との干渉によって決まる。従って、第二のゲート電極長（図1中の水平方向における第二のゲート電極の横方向の長さ）が大きい場合には、第二のゲート電極のうち外側部分（ソース・ドレイン領域に隣接する部分）はしきい値電圧に関与しない。従って、第一のゲート電極長が一定であれば、第二のゲート電極長が大きくなっても、しきい値に関与しない外側部分の長さが増えるだけであるので、しきい値電圧はゲートの全長に依存しなくなる。すなわち短チャネル効果が抑制される。図36、図37の従来例においても、短チャネル効果の抑制（電界を緩和することによる効果）が主張されているが、本発明はこれらとは異なる原理（第二のゲート電極の長さが、しきい値に与える影響が小さいという効果）によって短チャネル効果を抑制するものであり、その効果は従来例よりも優れる。なおこの効果は、本発明の主張する第一、第二のゲート電極の電界の干渉が起きる構成によって得られるものである。

【0057】また、通常の電界効果型トランジスタでは、ソース・ドレイン領域が不純物の拡散によって、ゲート電極の下に入り込むと、二つのソース・ドレイン領域間の距離（実行チャネル長）が小さくなり、その結果しきい値電圧が変動する。しかし、本発明の構造では、第一のゲート電極の下部の電位が第二のゲート電極の電界の干渉を受けて変化するものであるから、第二のゲート電極の下部の構造はしきい値電圧にあまり影響しない。従って、ソース・ドレイン領域が不純物の拡散によって、ゲート電極の下に入り込んで、それが第二のゲート電極下部に一部入り込む程度であれば、しきい値電圧の変動が小さいので、ソース／ドレイン不純物の横方向の拡散に起因する、素子の特性バラツキが抑制される。

【0058】また、第一のゲート電極が第二のゲート電極に挟まれた組み合わせを二組以上連続して接続しても同じ効果が得られるが、ゲートの全長を短くするためには、ゲート電極の構成要素は少ないほうがよい。従って、第一のゲート電極を二つの第二のゲート電極で挟んだ上記三層構造が、素子の微細化から最も望ましい。また、ソース・ドレイン領域の入れ替えに対して対称になるという要請も、この三層構造は満たしている。

【0059】なお、本発明に関する記述においては、特開昭60-43863号公報の記述とは異なり、ソース・ドレイン領域の導電型を第一導電型と呼ぶ。これは、SOIトランジスタ等において、チャネル形成領域の導電型が必ずしもソース・ドレイン領域とは逆の導電型と

20

はならない場合があり、特開昭60-43863号公報のように、チャネル形成領域をなす基板を第一導電型、ソース・ドレイン領域を第二導電型と定義できない場合があるためである。なお、電界効果型トランジスタの導電型（チャネルタイプ）は、ソース・ドレイン領域の導電型と必ず一致するので、本発明の説明において第一導電型と説明される導電型は、トランジスタのチャネルタイプと一致する。

【0060】次に、図1に示す構造において一部を変化させた構造例を説明する。

【0061】ソース・ドレイン領域は、第一、第二のゲート電極の境界部の下に達しなければ、その一部が、第二のゲート電極の下に入り込んでよい（図3）。これは、第一、第二のゲート電極による電界を干渉させ、しきい値電圧を設定するものであるから、第二のゲート電極の少なくとも一部がチャネル形成領域上にあればよいからである。

【0062】また、第二のゲート電極の下部では、ゲート絶縁膜の厚さが、第一のゲート電極の下部よりも薄くてもよい（図4）。第二のゲート電極下の酸化膜を薄くすると、ソース・ドレイン領域からの電界がゲート電極で終端されるので、短チャネル効果の抑制に対して有利になる。一方、第一のゲート酸化膜は、それが厚いほどしきい値が低くなるので、しきい値を高め設定し、かつ短チャネル効果を抑制したい場合にこの構造は有効である。

【0063】この構造は、後述の図10～図18に示す製造方法において、第一のゲート電極のエッチング後に酸化膜をオーバーにエッチングした場合、あるいは後述の図19～図26に示す製造方法において、第二のゲート電極を形成後に中央部の酸化膜を酸化等により厚くした場合、酸化膜をCVD等により再度堆積した場合に形成される。

【0064】また、逆に、第二のゲート電極の下部では、ゲート絶縁膜の厚さが、第一のゲート電極の下部よりも厚くてもよい（図5）。第二のゲート電極の下の絶縁膜を厚くすると、第二のゲート電極とソース・ドレイン領域間の電界が弱くなる。但し、この場合、ソース・ドレイン領域からの電界を第二のゲート電極が終端する効果は弱くなる。従って、ゲート長が比較的長い場合（例えば0.25 $\mu$ m）等、短チャネル効果を抑制する必要は低く、そのかわりリーク電流を抑制する必要等からソース・ドレイン領域とゲート間の電界を抑制したい場合（例えばダイナミックメモリに用いられる素子）には、この構造が有効となる。この構造は、後述の図10～図18の製造方法において、第一のゲート電極のエッチング後に再度の酸化を行った場合、あるいは後述の図19～図26の製造方法において、第二のゲート電極を形成後に中央部の酸化膜をエッチング等により薄膜化した場合等に形成される。

21

【0065】第二のゲート電極長(図6の断面の水平方向)は、第一のゲート電極長と同じでもよい(図6)、また第一のゲート電極よりも薄くてもよい(図7)。また、ソース・ドレイン領域のうち一部が、第一導電型でソース・ドレイン領域よりも不純物濃度の低いLDD領域21であってもよい(図8)。また、ソース・ドレイン領域のうち一部が、第一導電型でソース・ドレイン領域と同程度に不純物濃度が高く、ソース・ドレイン領域の他の部分よりも浅く形成された、エクステンション領域22(図9)であってもよい。但し、いずれの場合においても、本発明においては第二のゲート電極の少なくとも一部は、LDD領域やエクステンション領域ではない、チャネル形成領域の上部に必ず位置しなければならない、第一のゲート電極長 $T_1$ は、第一、第二のゲート電極からの電界が顕著に干渉する範囲(40nm以下)に設定されなければならない。

【0066】次に、トランジスタ構成の具体的な寸法を実施形態の一例として示す。

【0067】図1は、本発明による電界効果型トランジスタの断面図である。シリコンウエハよりなる支持基板1上に厚さ400nmの $SiO_2$ よりなる埋め込み酸化膜2を介して、厚さ10nmの単結晶シリコンよりなる半導体層3(SOI層)が設けられるSOI基板において、半導体層上に厚さ3nmの熱酸化膜よりなるゲート絶縁膜4を介して、幅(図1の断面における水平方向)20nm、厚さ(高さ方向)100nmの、 $TiN$ よりなる第一のゲート電極7が設けられる。第一のゲート電極7の両側には、ゲート絶縁膜4上に、ゲート電極7の側面に接して、幅(図1の断面における水平方向)50nmの第二のゲート電極8が設けられる。第二のゲート電極の両側の半導体層3には、リンが高濃度(例えば $1.0^{19} cm^{-3}$ )に導入されたn<sup>+</sup>型のソース・ドレイン領域6が形成される。第一、第二のゲート電極の下部、ソース・ドレイン領域6に挟まれた領域は、電子によるチャネルが形成される、チャネル形成領域9を成す。

【0068】ここで、半導体層3の厚さは、通常5nmから100nmの範囲である。5nm以上とするのは量子力学的サイズ効果(サブバンド準位の変動)の影響を抑制するためであり、100nm以下とするのは、素子特性の良い完全空乏化型素子を形成しやすいからである。短チャネル効果の抑制効果をより強く求め、量子力学的サイズ効果の影響が出てよい場合はこれよりも薄くしてもよい。また、高耐圧MOS等においてゲート長が長く(例えば1ミクロン以上)、短チャネル効果が発生しにくい場合や、LSIにおいても完全空乏化型素子を形成しない場合(部分空乏化型素子を用いる場合)等は、半導体層の厚さを100nm以上としてもよい。ソース・ドレイン領域に導入される不純物は、ひ素でもよい。また、ソース・ドレイン領域は、チャネル形成領域表面よりも、上に突起する、エレベーター型の構造

22

を持っていてもよい。また、半導体層は多結晶半導体であってもよい。この場合、単結晶層である場合と比べて、漏れ電流の増加、粒界散乱による電流の減少などが起きるが、基板を容易に製造できるという、長所を持つ。

【0069】埋め込み酸化膜2の厚さは、本発明の効果を得るに当たって、特に制限はない。通常、張り合わせ技術によって作製されたSOI基板では、埋め込み酸化膜は1ミクロンから2ミクロン程度、SIMOX技術によって作製されたSOI基板では、80nmから400nm程度であるが、これらより薄い場合、厚い場合においても、本発明は適用できる。また、埋め込み酸化膜に代えて、サファイア等の厚い絶縁基板を持ち、支持基板1を持たない構造にも適用できる。

【0070】ゲート絶縁膜の厚さは通常2nmから20nm程度である。これより薄いと、トンネル電流により、ゲート電極からの漏れ電流が発生するが、素子の用途上漏れ電流が多くてもよい場合は、これより薄い絶縁膜を用いてもよい。また、20nm以下とするのはLSI用の素子として一般に要求されるだけのドレイン電流を得るためであるが、高耐圧素子等において、ドレイン電流よりもゲート酸化膜中の電界緩和が重要な場合はこれよりも厚くてもよい。また、ゲート絶縁膜は $SiO_2$ であっても、それ以外の絶縁体、例えば $Si_3N_4$ 、 $Ta_2O_5$ 等であってもよい。また、複数の材料が積層されたものであってもよい。

【0071】ゲート電極の全長(第一のゲート電極、二つの第二のゲート電極の合計、図1断面の水平方向の長さ)は、例えば30nmから0.6ミクロン程度の範囲とする。これはLSI用のトランジスタを想定した場合、通常使われている寸法、及び将来使われるといわれている寸法であるが、高耐圧MOS等、他の用途に適用する場合は、これより大きくてもよい。

【0072】また、nチャネルトランジスタにおいて第一のゲート電極はp<sup>+</sup>ポリシリコン、Mo、W、Ta等の金属、金属シリサイド、 $TiN$ 等の金属化合物等であってもよい。また、第一のゲート電極がp<sup>+</sup>ポリシリコンの場合は、第二のゲート電極がMo、W、Ta等の金属、金属シリサイド等であってもよい。これらの材料の中では、p<sup>+</sup>ポリシリコンの仕事関数が最も大きく、次がMo、W、Ta、あるいはタングステンシリサイド等の金属シリサイド、 $TiN$ であり、n<sup>+</sup>ポリシリコンの仕事関数が最も小さい。これらの材料、あるいはこれら以外の材料も含めて、第二のゲート電極の仕事関数が第一のゲート電極よりも小さくなるように設定されればよい。なお、しきい値を0.5V以下に設定する場合は、第一のゲート電極を金属、または金属シリサイドとし、第二のゲート電極をn<sup>+</sup>ポリシリコンとする組み合わせが、必要なしきい値電圧が得られるためには適当である。pチャネルトランジスタの形成する場合、ソース・

23

ドレイン領域はホウ素を導入した $p^+$ 型とし、第二のゲート電極の仕事関数が第一のゲート電極よりも大きくなるように設定する。例えば、第一のゲート電極を $TiN$ 、第二のゲート電極を $p^+$ ポリシリコンで形成する。

【0073】なお、チャネルドーピングを行わない場合、 $n$ チャネルトランジスタにおいてしきい値電圧が正の値を持つためには、第一のゲート電極の材料が、ソース・ドレイン領域よりも仕事関数が大きくなければならない。 $p$ チャネルトランジスタにおいてしきい値電圧が負の値を持つためには、第一のゲート電極の材料が、ソ

ース・ドレイン領域よりも仕事関数が小さくなければならない。

【0074】図3に、図1の構造において、ソース・ドレイン領域が幅10nmに渡って第二のゲート電極の下部に入り込んだ場合を示す。第二のゲート電極の一部がチャネル形成領域上にかかっていれば、先に述べたように、その一部が図3のようにソース・ドレイン領域上にあっても、本発明の効果は代わらない。

【0075】図4の構造では、ゲート絶縁膜の厚さを、例えば、第一のゲート電極の下においては5nm、第二のゲート電極の下では3nmとする。図5の構造では、ゲート絶縁膜の厚さを、例えば、第一のゲート電極の下においては3nm、第二のゲート電極の下では5nmとする。

【0076】図6に、図1の構造において、第二のゲート電極の幅が第一のゲート電極と同じ場合(例えば幅20nm)を示す。また図7に、図1の構造において、第二のゲート電極の幅が第一のゲート電極よりも小さい場合を示す。例えば、第一のゲート電極の幅を20nm、第二のゲート電極の幅を15nmとする。

【0077】次に、図10～図12を参照して製造方法を説明する。

【0078】図10に示すように、シリコン基板31上に厚さ400nmの $SiO_2$ よりなる埋め込み酸化膜32を介して、厚さ12nmの単結晶シリコンよりなる半導体層33(SOI層)が設けられるSOI基板において、半導体層33の表面を熱酸化し、厚さ3nmの $SiO_2$ よりなるゲート絶縁膜34を形成する。続いて、全面にCVD法またはスパッタ法により厚さ100nmの $TiN$ 膜を堆積し、その上部にフォトリソ36を幅30nmにパターニングする。ここで30nmという微細なパターンを得るには、レジストの露光には電子ビームによる直接描画技術(EB直描、例えば、日経マイクロデバイス、1997年11月号、141～144ページに記載)を用い、レジストとしてはカリックスアレーン、クロルメチル化カリックスアレーン等の環状の分子構造を持つ材料を用いればよい。フォトリソ36をマスクにRIE(反応性イオンエッチング)により $TiN$ 膜をパターニングし、 $TiN$ よりなる、厚さ50nm、幅30nmの第一のゲート電極35を形成し、図10の

24

構造を得る。

【0079】SOI素子では素子分離部(LOCOS)の段差が小さいので、 $TiN$ をパターニングする際に、素子分離部の段差部に $TiN$ のエッチング残りが生じにくい。従ってエッチング残りを防ぐことを目的としたオーバーエッチングを少くできる。オーバーエッチングは第一のゲート電極の両側の領域でゲート酸化膜にダメージを与えるが、オーバーエッチングを抑制できるので、ゲート酸化膜へのダメージを抑制できる。バルク基板上に素子を形成する場合は、トレンチ分離等の段差の少ない素子分離を用いることにより、同様にオーバーエッチングの問題を解決できる。

【0080】次に、図11に示すように、全面に厚さ50nmの $n^+$ ポリシリコン37(ドーブポリシリコン)を、CVDにより堆積する。次に、RIEによる異方性エッチングにより、 $n^+$ ポリシリコンを厚さ50nmにわたってエッチバックし、第一のゲート電極35の側面に、幅50nmの $n^+$ ポリシリコン37よりなる、第二のゲート電極を形成する。続いて、第一、第二のゲート電極をマスクに、半導体層33に高濃度のリンを導入し、第一、第二のゲート電極の外側に $n^+$ 型のソース・ドレイン領域38を形成する(図12)。ゲート電極の下部が、チャネル形成領域39となる。ソース・ドレイン領域の形成は、例えば低加速電圧のイオン注入を用いる。あるいは、第一、第二のゲート電極をマスクに、ゲート電極の外側の領域のゲート絶縁膜をRIEにより除去し、続いて全面にリンガラス(PSG)を堆積し、850℃で10秒の熱処理を行うことにより、リンをPSGから半導体層33に拡散させ、ソース・ドレイン領域を形成する。また、PSG堆積前に、第二のゲート電極の外側に酸化膜の側壁を設けることにより、リンの拡散が第二のゲート電極の下部に侵入することを抑制してもよい。第二のゲート電極は、最初不純物を含まないポリシリコン(ノンドーブポリシリコン)を堆積し、ソース・ドレイン領域の形成と同時にPSGからリンを拡散して、これを $n^+$ 型になるようにしてもよい。

【0081】また、ゲート酸化膜を5nmとあらかじめ厚めに設定し、第一のゲート電極形成のためのRIEにおいてオーバーエッチングを行い、第一のゲート電極の両側の酸化膜を少し削りとりか、あるいは、第一のゲート電極をマスクに、短時間の酸化膜エッチングを行うと、図4に示すように、第二のゲート電極下部でゲート絶縁膜が薄くなるような構造が得られる。

【0082】なお、ここでオーバーエッチング時における酸化膜の削り取りは、RIE工程において、酸化膜に対する $TiN$ の選択性が低い場合に顕著である。また、第一のゲート電極加工後に、短時間の熱酸化を行うと、第一のゲート電極の外側では酸化膜厚が大きくなり、図5のような形状が得られる。

【0083】第二の実施形態

25

上記の第一の実施形態の各種の構造に対して、絶縁体上の半導体層および埋め込み酸化膜を、通常のパルク基板に置き換えてもよい。その例を図2の断面図に示す。

【0084】ホウ素を $5 \times 10^{17} \text{ cm}^{-3}$ 含むp-シリコン基板10上に、厚さ3 nmの熱酸化膜よりなるゲート絶縁膜4を介して、幅(図2の断面における水平方向)20 nm、厚さ(高さ方向)100 nmの、TiNよりなる第一のゲート電極7が設けられる。第一のゲート電極7の両側には、ゲート絶縁膜4上に、ゲート電極7の側面に接して、幅(図2断面における水平方向)50 nmの第二のゲート電極8が設けられる。第二のゲート電極の両側のシリコン基板上には、ひ素が高濃度(例えば $10^{19} \text{ cm}^{-3}$ )に導入された、深さ0.15ミクロンのn<sup>+</sup>型のソース・ドレイン領域6が形成される。第一、第二のゲート電極の下部、ソース・ドレイン領域6に挟まれた領域は、電子によるチャネルが形成される、チャネル形成領域9を成す。

【0085】図2の構造は、絶縁体上に半導体層を有する構造(SOI構造)に代えて、通常の半導体基板10を用い、ソース・ドレイン領域は半導体基板表面に設けたものである。この場合、不純物はバンチスルーの抑制に必要なだけの量でよいので、ドーピング量を抑制でき、第一、第二の課題を軽減できる。例えば、バンチスルーを抑制するための不純物を導入した場合、図35の従来例のように、ゲートの仕事関数によってしきい値を制御しようとする、しきい値が高くなりすぎるが、本発明では第一のゲート電極による障壁形成能力が弱められることを利用し、しきい値が高くなり過ぎることを防ぎ、最適なしきい値を得ることができる。

#### 【0086】第三の実施形態

図13を参照して第三の実施形態について説明する。前記の製造工程において、第二のゲート電極の形成後に、その側面に厚さ20 nmの酸化膜をCVD法により堆積し、これをエッチバックして酸化膜側壁40を形成する。エッチバック時に、酸化膜側壁よりも外側に位置するゲート絶縁膜は、同時に除去される。次に、選択エビタキシャル法によって、酸化膜側壁40の外側の半導体層33上に、n<sup>+</sup>型シリコンよりなるエビタキシャル層41を厚さ30 nmに成長させる。エビタキシャル成長時にリンを含むガスを混入させることにより、エビタキシャル層41をn<sup>+</sup>型とすることができる。この時、n<sup>+</sup>ポリシリコン層37の上部にもn<sup>+</sup>型の多結晶層42が成長するが、これは素子特性に影響を与えない。続いて、短時間の熱処理(例えば850℃で10秒)により、エビタキシャル層からリンを半導体層33に拡散させることにより、ソース・ドレイン領域33を形成する。

#### 【0087】第四の実施形態

図14～図18を参照して、他の実施の形態の構成および製造方法を説明する。シリコン基板31上に、厚さ

26

400 nmのSiO<sub>2</sub>よりなる埋め込み酸化膜32を介して、厚さ10 nmの単結晶シリコンよりなる半導体層33(SOI層)が設けられるSOI基板において、全面にCVD法により厚さ100 nmのSiO<sub>2</sub>膜を堆積し、これをEB露光によるリソグラフィと、RIEによるエッチング等によって、幅120 nmに加工し、図14に示すようにダミー酸化膜51を形成する。

【0088】次に、選択エビタキシャル成長により、図14に示すように、ダミー酸化膜51の両側に高濃度のリンを含んだn<sup>+</sup>型単結晶シリコンよりなる厚さ50 nmのエビタキシャル層41を形成する。

【0089】次に、HF(フッ酸)によりダミー酸化膜を除去する。続いて、厚さ30 nmの酸化膜をCVDにより全面に堆積し、RIEによりこれをエッチバックすることにより、エビタキシャル層41の側面に、図15に示すように、側壁酸化膜52を設ける。短時間の熱処理を行い(例えば850℃で10秒)、エビタキシャル層41中のリンを半導体層33中に拡散させ、n<sup>+</sup>型のソース・ドレイン領域38を形成する(図15)。

【0090】次に、半導体層33の表面を熱酸化し、厚さ3 nmのSiO<sub>2</sub>よりなるゲート絶縁膜34を形成する。続いて、全面にCVD法またはスパッタ法により厚さ50 nmのn<sup>+</sup>ポリシリコン(ドーブトポリシリコン)層53を堆積する(図16)。

【0091】次に、RIEによりn<sup>+</sup>ポリシリコン層53をエッチバックし、これを図17に示すように側壁酸化膜52の側面にのみ残し、n<sup>+</sup>ポリシリコン層53よりなる第二のゲート電極を形成する。次に、厚さ70 nmのW層54をCVDまたはスパッタにより堆積する(図17)。

【0092】その上に、レジスト55を電子ビーム露光等を用いて幅120 nmに加工し、これをマスクにW層をRIE等によって加工すれば、第二のゲート電極(n<sup>+</sup>ポリシリコン53)に挟まれた領域のW層が第一のゲート電極54となる(図18)。ここで、図16に示す形状の形成後、n<sup>+</sup>ポリシリコン層53をエッチバックした後に、オーバーエッチングにより露出部の酸化膜を削り取るか、RIE等により酸化膜を軽くエッチングすると、図5に示すような、第一のゲート電極下のゲート酸化膜が第二のゲート電極下のゲート酸化膜より薄い形状が得られる。

#### 【0093】第五の実施形態

図19～図24を参照して、他の実施の形態及びその製造方法を説明する。

【0094】シリコン基板31上に、厚さ400 nmのSiO<sub>2</sub>よりなる埋め込み酸化膜32を介して、厚さ10 nmの単結晶シリコンよりなる半導体層33(SOI層)が設けられるSOI基板において、その表面に熱酸化により厚さ20 nmのパッド酸化膜60を形成し、続いて全面にCVD法により厚さ100 nmのSi<sub>3</sub>N<sub>4</sub>膜

27

を堆積し、これをEB露光によるリソグラフィとRIEによるエッチング等によって幅120nmに加工し、ダミー窒化膜61を形成する。次に、ダミー窒化膜61の両側の半導体層に高濃度のリンを導入し、ソース・ドレイン領域38を形成し、全体を厚さ120nmのCVD酸化膜62で覆う(図19)。ここでソース・ドレイン領域は、イオン注入、プラズマドーピング、PSGからの拡散等を用いて形成してもよく、また、図14及び図15に示す実施形態のようにエピタキシャル成長を用いてもよい。

【0095】続いて、図20に示すように、CVD酸化膜62に、フォトリソグラフィとRIEにより開口部70を設け、ダミー窒化膜61の上部を露出させる。この時、ダミー窒化膜の上部にCVD酸化膜が残ることの無いように、開口部70はダミー窒化膜よりも広くする。例えば、両側に0.2μmずつ広くとる。このとき、RIEによってダミー窒化膜を露出させるのでは無く、CMP(ケミカルメカノポリッシュ:化学機械的研磨)によって窒化膜上部のCVD酸化膜による突起を削り取ることによって、ダミー窒化膜61の上部を露出させてもよい(図21)。CMPによって窒化膜上部を露出させる方法では、開口部70を設けるためのリソグラフィを行う必要がなくなり、工程を短縮できる。また、形成される形状が平坦になるという長所がある。一方リソグラフィとRIEによりダミー窒化膜を露出させる工程では、CMP装置を新たに導入せずに、既存の装置により製造できるという長所がある。

【0096】続いて、熱リン酸によるウェットエッチングにより、ダミー窒化膜61を除去する。そして希フッ酸によりパッド酸化膜60を除去する。この時、CVD酸化膜62の表面も一部エッチングされる。続いてCVDにより、厚さ20nmの酸化膜を堆積し、これをエッチバックすることにより、酸化膜側壁40を形成する(図22)。酸化膜側壁40は、窒化膜61とパッド酸化膜60のエッチングにより形成されたCVD酸化膜開口の側壁部の表面形状を整えるためのものであり、省略してもよい。

【0097】続いて、全体にn<sup>+</sup>ドーフトポリシリコンを45nm堆積し、RIEによりこれをエッチバックして、CVD酸化膜62の側面(あるいは酸化膜側壁40の側面)に、n<sup>+</sup>ポリシリコン層53を設ける(図23)。ここで、n<sup>+</sup>ポリシリコンに代えて、n<sup>+</sup>型ドーフトアモルファスシリコンを用いてもよい。

【0098】続いて、全面にW層54、あるいはTiN等の金属、金属化合物を堆積し、これをフォトリソグラフィとRIEにより加工し、図24に示すようにゲート電極を形成する。ここで、W層54は第一のゲート電極、n<sup>+</sup>ポリシリコン53は第二のゲート電極となる。また、第一のゲート電極の加工は、フォトリソグラフィとRIEを用いるのではなく、CMPによるエッチバッ

28

クを行い、後述する図26と同様に、第一のゲート電極の上端と、第一のゲート電極を埋め込んだCVD酸化膜62等の絶縁膜の表面が平坦になる形状としてもよい。CMPを用いることの長所/短所は前述と同じである。

【0099】なお、第一、三、四、五の各実施形態に記載の各製造方法は、第一、第二の実施形態の各種構造、寸法、材料からなる素子の製造に適用することができる。また、各製造方法を構成する一部の工程を選択して、第一、第二の実施形態の各種構造の製造に用いてもよい。また、第四、第五の実施形態に記載の、第一のゲート電極を形成する材料が第二のゲート電極上に延長される構造を、第一、第二の実施形態の各種構造、寸法、材料からなる素子に適用してもよい。

【0100】なお、上述の製造方法のうち、ダミーパターンの上部の絶縁膜をCMPにより除去することにより、ダミーパターンを露出させる工程、ダミーパターン除去後の開口部の空隙中にゲート電極材料を埋め込んだ後、これをCMPにより平坦化する工程は、ゲート電極が単一の材料から構成されるトランジスタの製造に用いてもよい(図46、図47)。

【0101】また、ダミーパターン上の絶縁膜に設ける開口部は、少なくとも、ダミーパターンの一部が露出するように形成されていけばよい。これにより、ウェットエッチングによるダミーパターンの除去と、CVD等によるゲート電極材料の埋め込みが可能となり、ゲート電極を形成することができる。但し、第一のゲート電極と第二のゲート電極が組み合わされたゲート電極を形成する場合には、第二のゲート電極となる側壁を異方性エッチバックによって形成する必要から、少なくとも第一のゲート電極を形成しようとする位置の上部には、開口部が設けられていることが好ましい。より好ましくは、ダミーパターン上の絶縁膜に設けられる開口部は、ダミーパターンの上部全体を露出させるように設けることが望ましい。ダミーパターン上の絶縁膜に設けられる開口部がダミーパターンよりも狭すぎると、導電性材料をCVD等により埋め込む時に、開口部内に導電性材料が均一に埋め込まれるより以前に、開口部の上部が導電性材料によって塞がれる虞があるが、ダミーパターンの上部全体を露出させることで、より均一に開口部内に導電性材料を埋め込むことができる。その際、開口部を設ける工程はCMPにより行うことが好ましい。CMPにより開口部を設ける工程は、ダミーパターンの上部全体を露出させることが容易であるという長所を持つ。また、ダミーパターン上の絶縁膜に設けられる開口部がダミーパターンより大きくてもよい。これにより、形成されるゲート電極の上部の幅が広くなり、ゲート電極の断面積(図24参照。図24の断面における断面積)が大きくなるので、寄生抵抗の低減に寄与する。

【0102】上述の製造方法において、CMPを用いると、ダミーパターン上部の絶縁膜を除去してダミーパタ

10

20

30

40

50

29

ーンを露出させる際に、フォトリソグラフィ工程を行う必要がなく、工程が簡略化され工程における負担が軽減されるとともに、フォトリソグラフィに伴うパターンの位置ズレによる不良を削減できる。また、上に述べたように、平坦な形状が得られる。また、開口部の空隙中に導電性材料を埋め込んだ後、CMPにより導電性材料を加工し、ゲート電極を得る製法を用いると、平坦な構造が得られる。

【0103】また、ダミーパターンを用いることにより、ダミーパターンをマスクにソース・ドレイン領域を加工することができるので、ソース・ドレイン領域を形成するための熱処理の影響をゲート電極が受けない。

【0104】これらの製造方法の長所は、第一及び第二の実施形態に述べたトランジスタの製造に対しても、それら以外のトランジスタの製造に対しても同様である。

【0105】また、本発明におけるダミーパターンを用いる製造方法は、第一及び第二のゲート電極を有し、図1の構造とは異なる目的を持ち、異なる寸法、仕事関数の構成を持つトランジスタ（例えば図36の構造等）に適用してもよい。これらの製造方法の長所は、第一にはパターンの形成が容易であることである。一般にゲート電極は大きいほど加工が容易である。しかし、先に第一のゲート電極を形成し、その側壁に第二のゲート電極を設ける工程では、ゲート長（第一及び第二のゲート電極を合わせた全長）よりも小さい寸法に、第一のゲート電極をリソグラフィにより形成することが強いられる。しかし、本発明の製造方法は、ゲートの全長に等しいダミーパターンをリソグラフィにより形成すればよいので、リソグラフィ工程の負担が軽減される。第二には熱の影響の低減である。ダミーパターンをマスクにソース・ドレイン領域を形成後に第一及び第二のゲート電極を形成するので、ソース・ドレイン領域を形成する際の熱処理によって、第一及び第二のゲート電極の界面で化学反応、あるいは界面間のイオンの移動が起きることがない。

#### 【0106】第六の実施形態

本発明においては、以上の各実施形態の各種構造において、第一のゲート電極と第二のゲート電極の間に薄い酸化膜（または窒化膜等の他の絶縁膜）を挟んでもよい

（例えば図26、図27、図28）。また、上述の各製造方法において、第一のゲート電極と第二のゲート電極の間に薄い酸化膜（または窒化膜等の他の絶縁膜）を挟み込む工程を付加してもよい。これについて説明する。

【0107】第一のゲート電極と第二のゲート電極の間の薄い酸化膜63が厚すぎると、その下部ではチャンネルが形成され難くなるので、この膜厚は薄いほうがよい。シミュレーションからは、膜厚が1nm以下であれば電流への影響はなく、10nm以下であれば電流の劣化はあるがその影響は軽微であることが確かめられた。

【0108】薄い酸化膜63を形成することで、第一の

30

ゲート電極と第二のゲート電極間の不純物の拡散や、化学的反応（例えば、第一のゲート電極の金属と第二のゲート電極のポリシリコンが反応してシリサイド化すること）を抑制できる。第一のゲート電極と第二のゲート電極間の不純物拡散が低減できるので、第一のゲート電極にp<sup>+</sup>ポリシリコン、第二のゲート電極にn<sup>+</sup>ポリシリコンを用いる等、第一、第二のゲート電極として導電型の異なる半導体を用いることもできる。

【0109】この薄い酸化膜を有する構成の製造方法について述べる。図23の形状を形成後、n<sup>+</sup>ポリシリコン53の表面を2nm酸化し、図25に示すように薄い酸化膜63を形成する。この時、ゲート酸化膜4も中央部において厚くなる。続いて、Wを埋め込み、CMPにより平坦化して図26の形状を得る。この時、n<sup>+</sup>ポリシリコン53上部の薄い酸化膜63は、熱酸化後に、例えばRIEにより除去する。この時、ゲート酸化膜の中央部の厚さも再び薄くなる。あるいは、少量のWをCVDとRIEにより一旦n<sup>+</sup>ポリシリコン53の間に埋めこみ、ゲート酸化膜4を保護した後にRIEやウエットエッチングによって、n<sup>+</sup>ポリシリコン53上部の薄い酸化膜63を除去してもよい。ここで、n<sup>+</sup>ポリシリコン53が第二のゲート電極、W54が第一のゲート電極となる。

【0110】また、図27及び図28に、図10～図13の工程において、第一のゲート電極としてp<sup>+</sup>ポリシリコン、第二のゲート電極としてn<sup>+</sup>ポリシリコンを用いて、これらの間に薄い酸化膜63を挿入した構造を示す。ここで、薄い酸化膜63は、p<sup>+</sup>ポリシリコン64をパターニング後、その表面を酸化（例えば1nm）して形成される。この酸化は、加熱を用いて行うものであってもよいし、単に空気中または酸素を含む環境に暴露することによるものであってもよい。

【0111】図28において、p<sup>+</sup>ポリシリコン64上の薄い酸化膜63は、酸化膜側壁65を形成するためのエッチバック工程において、同時に除去される。

【0112】また、図28に示す構造の上部に、さらに導電体を形成する構造例を図29に示す。図29においては、第一のゲート電極と第二のゲート電極の導通をとるために、これらの上部に厚さ20nmタングステン層66を選択成長させた。タングステン層は横方向にも成長するので、薄い酸化膜63の上部で、第一のゲート電極及び第二のゲート電極上のタングステンがそれぞれ成長して連結し、互いの導通がとれる。同様の効果は、W等の金属を非選択的な条件によって堆積し、これをシリサイド化し、余剰な金属を王水等で除去する通常のシリサイドプロセスによっても得られる。これは、第一のゲート電極および第二のゲート電極上のシリサイドがそれぞれ成長して連結することによるものである。

【0113】第一のゲート電極と第二のゲート電極との間に絶縁層を挟む場合、図10～図18に示す工程を有

50



31

する製造方法では、第二のゲート電極下部の位置に相当するゲート酸化膜を、図19～図26に示す工程を有する製造方法では、第一のゲート電極の下部の位置に相当するゲート酸化膜を、それぞれ一旦除去した後、第一のゲート電極と第二のゲート電極との間に挿入する絶縁膜と同時に、もう一度形成しなおしてもよい。例えば、図19～図26に示す工程を有する製造方法では、図23に示す形状を形成する際にR1E等のエッチングにより第二のゲート電極の存在しない領域のゲート酸化膜を一度除去し、続いて第一のゲート電極の下に位置することになるゲート酸化膜を、薄い酸化膜63の形成と同時に形成する。この場合、薄い酸化膜63の厚さは例えば3nm程度とする。また、薄い酸化膜63とゲート絶縁膜を同時に形成する工程には熱酸化を用いてもよいし、CVD法を用いてもよい。また、ここで形成し直す絶縁膜は、当初に形成されたゲート絶縁膜4とは異なる材質であってもよい(図30)。例えば、 $\text{Si}_3\text{N}_4$ 、 $\text{Ta}_2\text{O}_5$ 等であってもよい。この場合、第一及び第二のゲート電極の隔離には、薄い酸化膜63に代えて、これらの薄い絶縁膜を用いることになる。

【0114】ここに述べた、ゲート絶縁膜の一部を一旦除去したのち、第一及び第二のゲートの間に挟む絶縁膜を形成する際に、ゲート絶縁膜の一部を同時に再度形成するという製造方法を、図27の構造に適用した例を図30に示す。これは半導体層33上に、熱酸化によりゲート絶縁膜4を形成後、CVDにより堆積した $\text{p}^+$ ポリシリコン64をパターニングすることにより、第一のゲート電極とし、第一のゲート電極64の形成と同時に、又は形成後に、R1Eにより第一のゲート電極64が存在しない領域上に残ったゲート絶縁膜を除去し、続いてCVDにより、 $\text{Si}_3\text{N}_4$ 膜71を7nm堆積し、続いてCVDにより $\text{n}^+$ ポリシリコン53を堆積し、 $\text{n}^+$ ポリシリコンと $\text{Si}_3\text{N}_4$ 膜をエッチバックすることにより、第二のゲート電極53を形成し、その上部にタングステン層66を形成する(タングステン層はソース・ドレイン領域上にも設けてもよい。)また、 $\text{Si}_3\text{N}_4$ 膜に代えて、 $\text{SiO}_2$ 等の他の絶縁膜を用いてもよい。

【0115】なお、図30に示す構造では、第一のゲート電極64と第二のゲート電極53との間に挟まれる薄い絶縁膜と、第二のゲート電極下のゲート絶縁膜とが一体的に形成されているが、これに対して、図23の構造を形成した後に、中央部のゲート絶縁膜を除去した後、半導体層33の表面と第二のゲート電極の側面の両方に絶縁膜を堆積すれば、第一のゲート電極64と第二のゲート電極53との間に挟まれる薄い絶縁膜と、第一のゲート電極下のゲート絶縁膜とが一体的に形成される構造が得られる。

【0116】なお、図29及び図30に示すような、タングステン層66あるいはそれ以外の金属、シリサイド、半導体等の導電体を、第一及び第二のゲート電極の

32

双方の上に設ける構造および設ける製法は、薄い絶縁膜63を有しない、前記第一及び第二の実施形態の各種構造、寸法を有する素子に適用してもよい。これは、ゲート電極の寄生抵抗を低減する効果をもたらす。

【0117】第七の実施形態

最後に、半導体層下部の構造を変化させた実施形態の構成を説明する。

【0118】その一例としては、図31に示すように、図1に示す素子構造を有し、同様のゲート電極がSOI層3の上下にある構造が挙げられる。この場合、短チャネル効果をより強く抑制することができるという効果が加わる。この構造は、張り合わせを用いたダブルゲートSOIMOSFET製造工程を応用することにより形成できる。図1に示すように一旦片側のゲート電極を形成した後、その上部に埋め込み酸化膜2を堆積し、続いてその上部に支持基板を張り合わせ工程により付着させ、ウエハを反転して元の支持基板と埋め込み酸化膜を除去し、SOI層3を露出させ、改めて、その上部に図1と同様のゲート電極を形成すればよい。上部のゲート電極の位置合わせは、素子領域(フィールド層)か、下部のゲートに対して行えばよい。図1に示す素子構造を有する他の例は、図32に示すように、SOI層の下部が $\text{SiO}_2$ よりも誘電率の低い材料層81で形成された構成である。例えば、多孔質 $\text{SiO}_2$ や有機膜であってもよい。また、図33に示すように、SOI層の下部が空洞82であり、SOI層が絶縁体83(例えば $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ の側壁)によって支持されるものでもよい。この場合、ソース・ドレイン領域から埋め込み酸化膜を通してチャネルに至る電界が緩和されるので、短チャネル効果をより強く抑制できる。図33に示す構造は、図1に示す構造を形成後、 $\text{Si}_3\text{N}_4$ の側壁83をCVDとR1Eによるエッチバックにより設け、 $\text{Si}_3\text{N}_4$ 側壁の一部にフォトリソグラフィにより開口部を設け、開口部から $\text{SiO}_2$ をフッ酸等によりエッチングして除去すれば形成できる。

【0119】第七の実施形態は、第一から第六の各実施形態の構造、あるいはこれらを組み合わせ得られる各種構造に適用しても、図1の構造に適用した場合と同様な効果が得られる。

【0120】第一から第七の実施形態においては、以下のような寸法、材料、条件等を用いてもよい。

【0121】以上の説明では、主に $\text{n}$ チャネルトランジスタを例に述べたが、 $\text{p}$ チャネルトランジスタにおいては、極性をすべて逆にすればよい。例えば、ソース・ドレイン領域はホウ素を導入した $\text{p}$ 型とし、第一のゲート電極は $\text{TiN}$ 、 $\text{W}$ 等、第二のゲート電極は $\text{p}^+$ ポリシリコンによって形成すればよい。第二のゲート電極の仕事関数は第一のゲート電極の仕事関数よりも大きければよい。第一のゲート電極長を40nm以下とすることは $\text{n}$ チャネルトランジスタの場合と同様である。

33

【0122】なお、本発明においては、ソース・ドレイン領域に導入する不純物は上に述べた限りではなく、 $n$ チャネルトランジスタにおいてはリン、ヒ素またはその他のドナー、 $p$ チャネルトランジスタにおいてはホウ素またはその他のアクセプタを用いればよい。ソース・ドレイン領域に導入するこれらの不純物の濃度は、一般に $5 \times 10^{18} \text{ cm}^{-3}$  から  $2 \times 10^{21} \text{ cm}^{-3}$ 、典型的には $1 \times 10^{19} \text{ cm}^{-3}$  から  $2 \times 10^{20} \text{ cm}^{-3}$  の範囲にあり、ソース・ドレイン領域の低抵抗化、結晶性の確保が実現できるように設定されればよい。

【0123】また、第一、第二の課題を解決するという観点からは、チャネル領域には不純物を導入しないことが最も好ましいが、バルク基板上的のトランジスタのバンドスルー抑制や、あるいは $\text{SOI}$ トランジスタのバックチャネル形成の抑制を目的として、少量の不純物を導入してもよい。チャネル領域に導入する不純物は、 $n$ チャネルトランジスタにおいてはホウ素またはその他のアクセプタ、 $p$ チャネルトランジスタにおいてはリン、ヒ素またはその他のドナーを用いればよい。これらの不純物の濃度は、典型的には $2 \times 10^{17} \text{ cm}^{-3}$  から  $2 \times 10^{18} \text{ cm}^{-3}$  の範囲である。このような少量の不純物を導入する場合においても、本発明のトランジスタにおいては、通常の構造（ $n$ チャネルトランジスタに対して $n^+$ ポリシリコン、 $p$ チャネルトランジスタに対して $p^+$ ポリシリコンをゲート電極として用いる構造）に比べて、しきい値を設定するために多量の不純物を導入する必要がないので不純物濃度を抑制できるという長所がある。

【0124】また逆に、 $n$ チャネルトランジスタにおいてリン、ヒ素またはその他のドナーを、 $p$ チャネルトランジスタにおいてはホウ素またはその他のアクセプタを半導体層（または半導体基板）に少量導入してもよい。これは、主に $n$ チャネルトランジスタに対して $n^+$ ポリシリコン以外の材料を、 $p$ チャネルトランジスタに対して $p^+$ ポリシリコン以外の材料をゲート電極に用いた場合に必要となる措置である。本発明では第一のゲート電極の電界が弱められるので、これらの不純物の導入を省略できるが、これらを導入する方法と組み合わせる場合においても必要となる不純物量を低減できる。

【0125】また、 $n^+$ ポリシリコン、 $p^+$ ポリシリコンの不純物濃度は、ソース・ドレイン領域に導入する濃度の範囲と同様である。また、これらを $n^+$ アモルファスシリコン、 $p^+$ アモルファスシリコンに置き換えてもよい。

【0126】

【発明の効果】以上の説明から明らかなように本発明の素子構造によれば、不純物の導入を必要とせず、あるいは不純物の濃度を抑制することができ、かつ、しきい値電圧を自由に設定することが可能になる。また、本発明の素子構造によれば、独自の原理により短チャネル効果を抑制することができる。

34

【0127】さらに、本発明の製造方法によれば、上記効果が得られる電界効果型トランジスタを良好に作製することができる。

【図面の簡単な説明】

【図1】本発明の構造を示す断面図。

【図2】本発明の構造を示す断面図。

【図3】本発明の構造を示す断面図。

【図4】本発明の構造を示す断面図。

【図5】本発明の構造を示す断面図。

【図6】本発明の構造を示す断面図。

【図7】本発明の構造を示す断面図。

【図8】本発明の構造を示す断面図。

【図9】本発明の構造を示す断面図。

【図10】本発明の構造及び製造方法を説明するための断面図。

【図11】本発明の構造及び製造方法を説明するための断面図。

【図12】本発明の構造及び製造方法を説明するための断面図。

【図13】本発明の構造及び製造方法を説明するための断面図。

【図14】本発明の構造及び製造方法を説明するための断面図。

【図15】本発明の構造及び製造方法を説明するための断面図。

【図16】本発明の構造及び製造方法を説明するための断面図。

【図17】本発明の構造及び製造方法を説明するための断面図。

【図18】本発明の構造及び製造方法を説明するための断面図。

【図19】本発明の構造及び製造方法を説明するための断面図。

【図20】本発明の構造及び製造方法を説明するための断面図。

【図21】本発明の構造及び製造方法を説明するための断面図。

【図22】本発明の構造及び製造方法を説明するための断面図。

【図23】本発明の構造及び製造方法を説明するための断面図。

【図24】本発明の構造及び製造方法を説明するための断面図。

【図25】本発明の構造及び製造方法を説明するための断面図。

【図26】本発明の構造及び製造方法を説明するための断面図。

【図27】本発明の構造及び製造方法を説明するための断面図。

【図28】本発明の構造及び製造方法を説明するための断面図。

10

20

30

40

50

断面図。

【図 2 9】本発明の構造及び製造方法を説明するための断面図。

【図 3 0】本発明の構造を示す断面図。

【図 3 1】本発明の構造を示す断面図。

【図 3 2】本発明の構造を示す断面図。

【図 3 3】本発明の構造を示す断面図。

【図 3 4】従来の技術を説明する断面図。

【図 3 5】従来の技術を説明する断面図。

【図 3 6】従来の技術を説明する断面図。

【図 3 7】従来の技術を説明する断面図。

【図 3 8】本発明の効果を示す図。

【図 3 9】本発明の効果を示す図。

【図 4 0】本発明の効果を示す図。

【図 4 1】本発明の効果を示す図。

【図 4 2】本発明の動作原理を説明するためのトランジスタの断面図。

【図 4 3】本発明の動作原理を説明するための電位分布を示す図。

【図 4 4】本発明の動作原理を説明するための電位分布を示す図。

【図 4 5】本発明の動作原理を説明するための電位分布を示す図。

【図 4 6】本発明の製造方法により作製された素子構造を示す図。

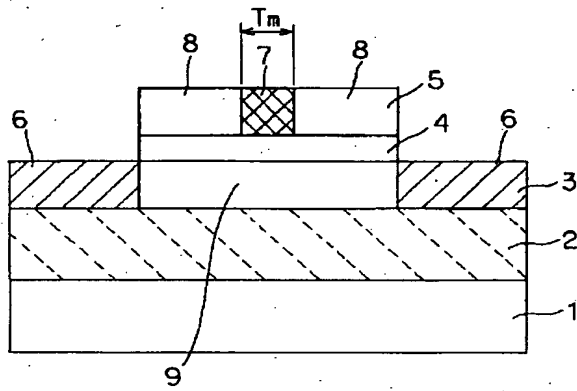
【図 4 7】本発明の製造方法により作製された素子構造を示す図。

【符号の説明】

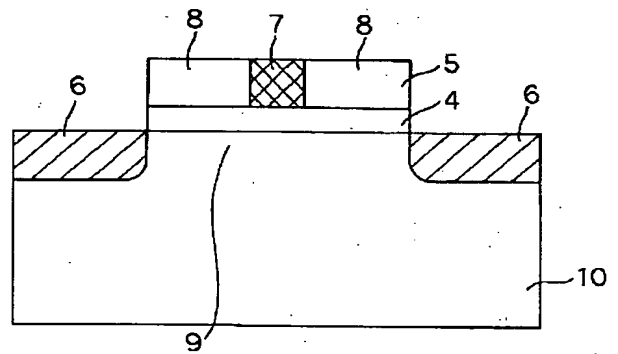
- 1 支持基板
- 2 埋め込み酸化膜
- 3 半導体層
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 ソース・ドレイン領域
- 7 第一のゲート電極
- 8 n<sup>+</sup>ポリシリコン
- 9 チャネル形成領域
- 10 シリコン基板
- 21 LDD領域
- 22 エクステンション領域
- 31 シリコン基板
- 32 埋め込み酸化膜
- 33 半導体層
- 34 ゲート絶縁膜
- 35 第一のゲート電極

- 36 レジスト
- 37 n<sup>+</sup>ポリシリコン層
- 38 ソース・ドレイン領域
- 39 チャネル形成領域
- 40 酸化膜側壁
- 41 エピタキシャル層
- 42 多結晶層
- 51 ダミー酸化膜
- 52 側壁酸化膜
- 53 n<sup>+</sup>ポリシリコン層
- 54 第一のゲート電極
- 55 フォトリソ
- 60 パッド酸化膜
- 61 ダミー酸化膜
- 62 CVD酸化膜
- 63 薄い酸化膜
- 64 p<sup>+</sup>ポリシリコン
- 65 酸化膜側壁
- 66 タングステン層
- 70 開口部
- 71 Si<sub>3</sub>N<sub>4</sub>膜
- 81 SiO<sub>2</sub>よりも誘電率の低い材料層
- 82 空洞
- 83 絶縁体
- 101 シリコン基板
- 102 ゲート酸化膜
- 103 ゲート電極
- 104 チャネル形成領域
- 105 ソース・ドレイン領域
- 110 埋め込み酸化膜
- 111 SOI層
- 112 絶縁膜
- 113 タンタルゲート電極
- 115 p<sup>+</sup>ポリシリコンゲート
- 116 n<sup>+</sup>ポリシリコンゲート
- 117 n<sup>-</sup>型の反転層
- 160 支持基板
- 161 埋め込み酸化膜
- 162 ソース・ドレイン領域
- 163 ゲート絶縁膜
- 164 第一のゲート電極
- 165 第二のゲート電極
- 166 半導体層
- 167 チャネル形成領域

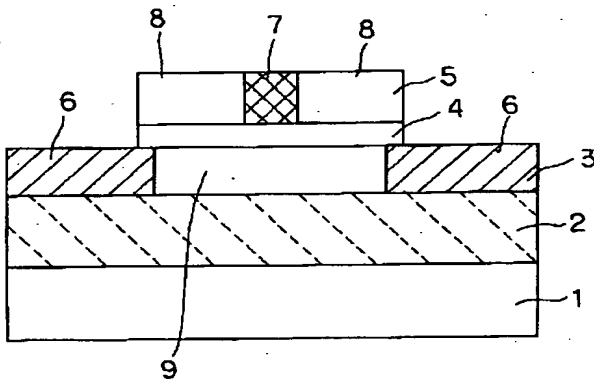
【図1】



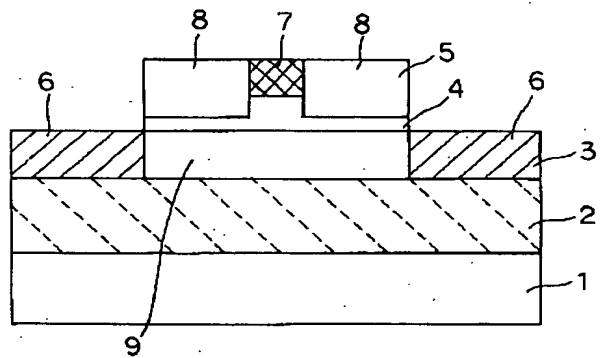
【図2】



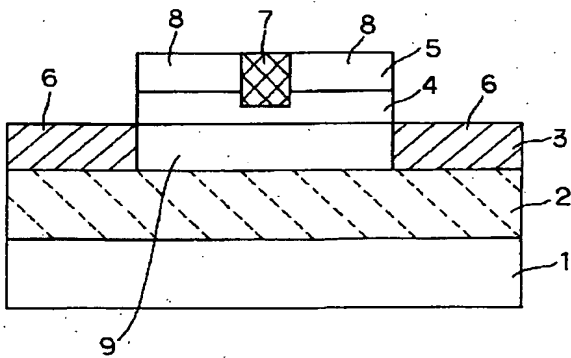
【図3】



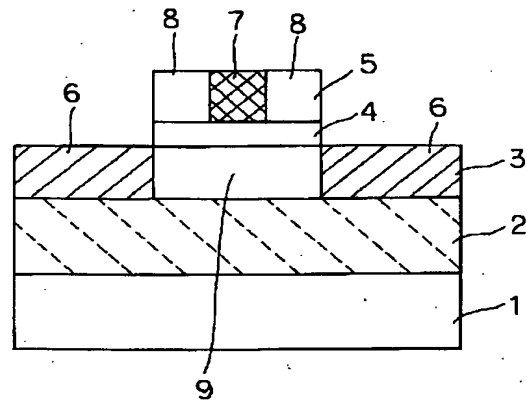
【図4】



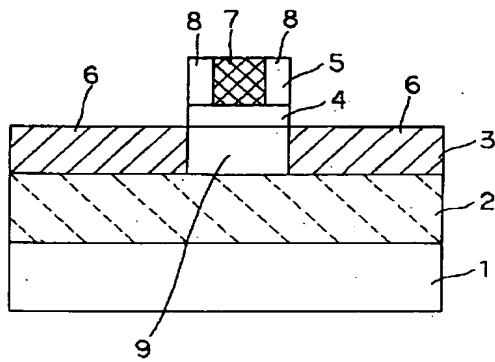
【図5】



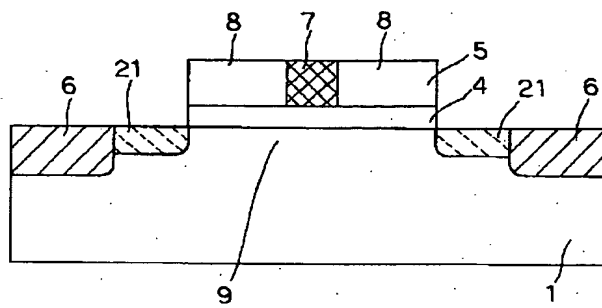
【図6】



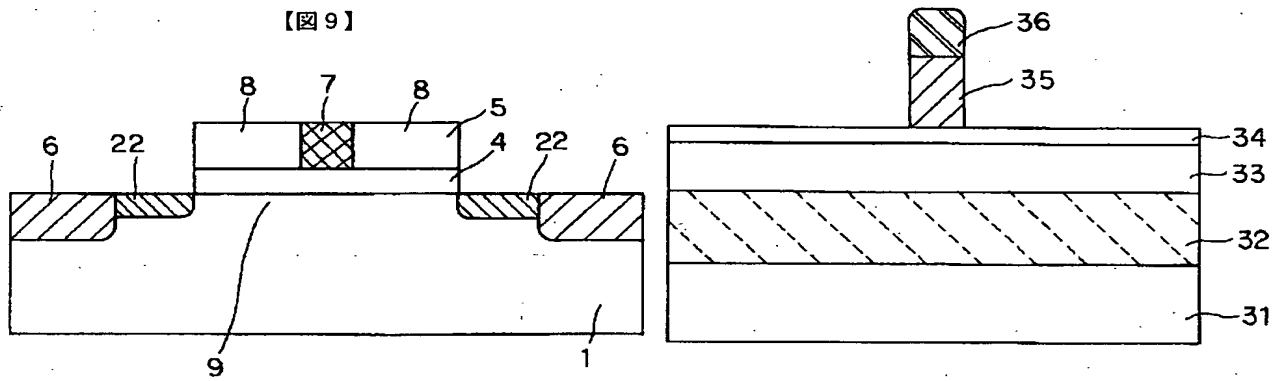
【図7】



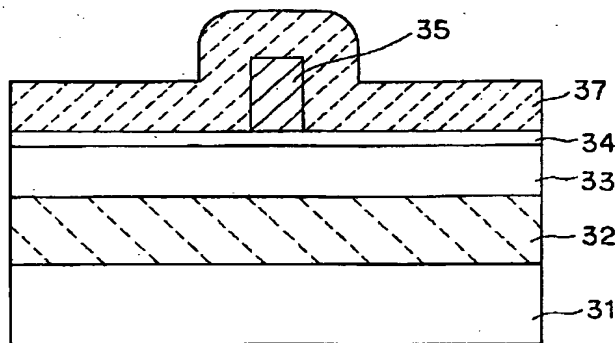
【図8】



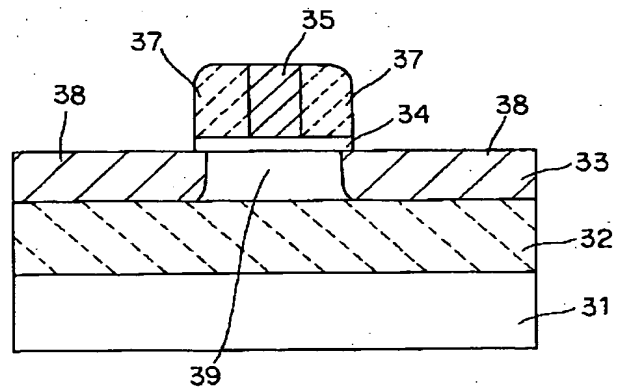
【図10】



【図11】

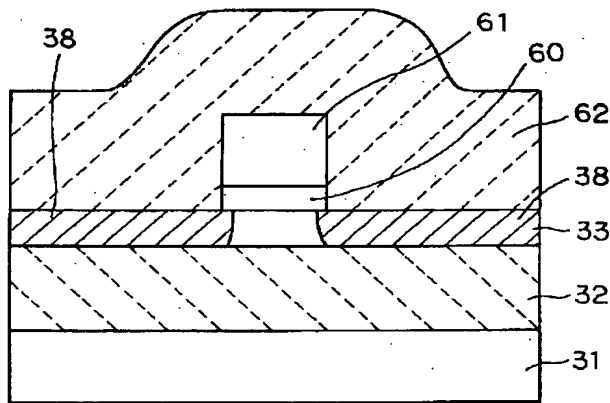


【図12】

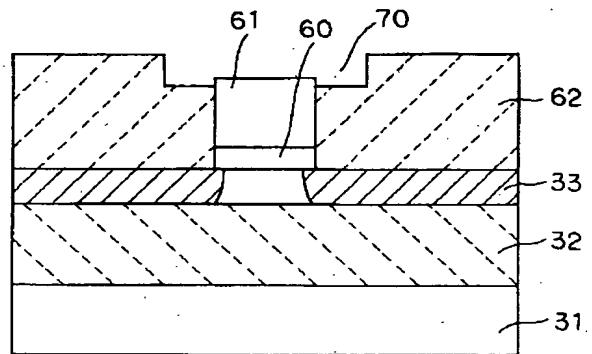




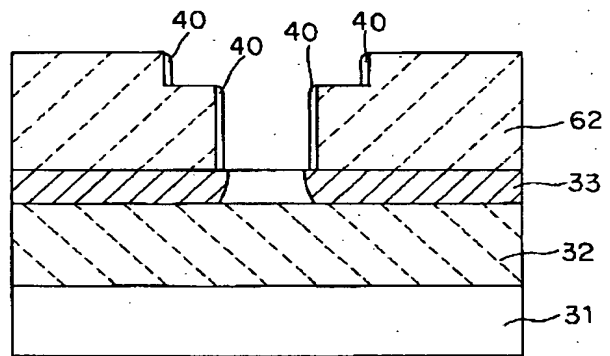
【図19】



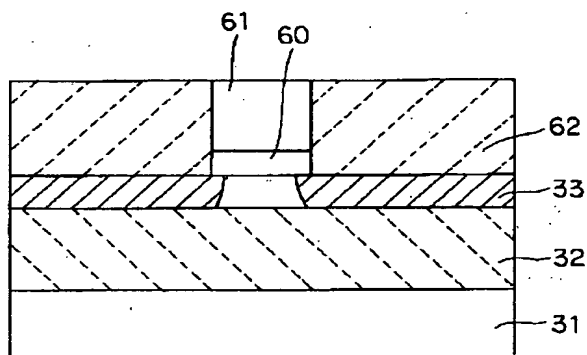
【図20】



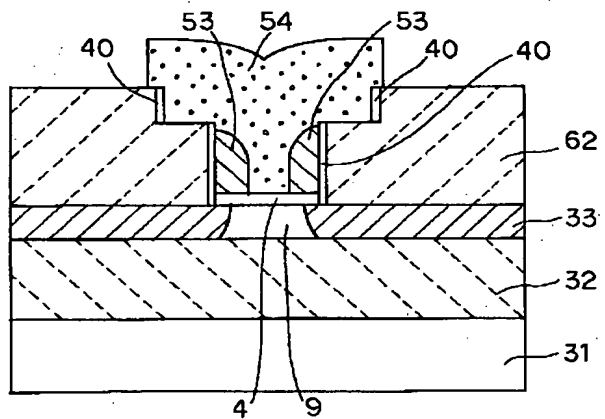
【図22】



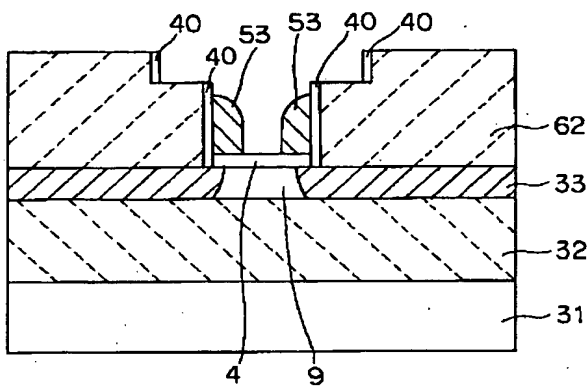
【図21】



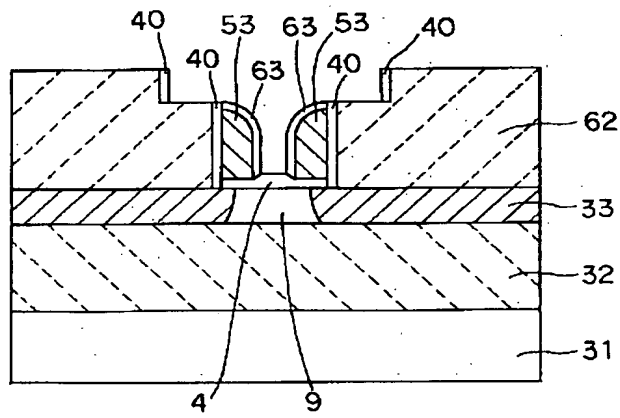
【図24】



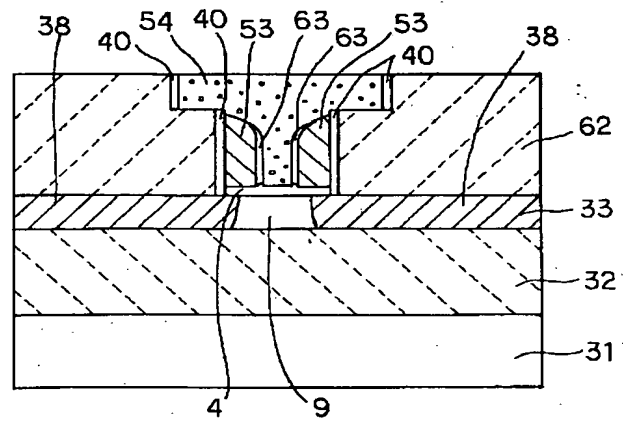
【図23】



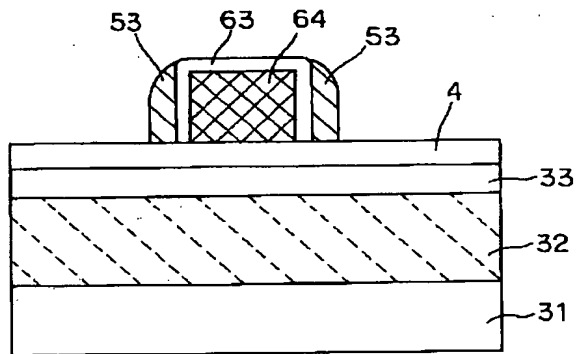
【図25】



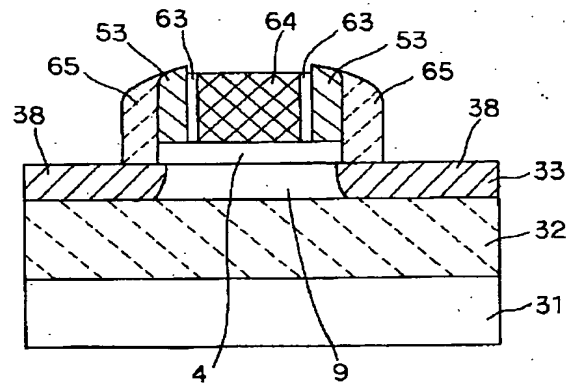
【図26】



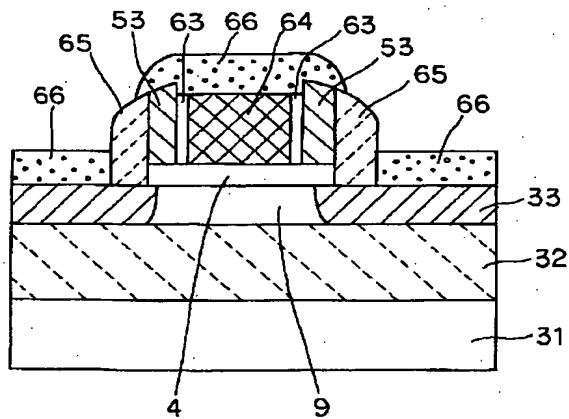
【図27】



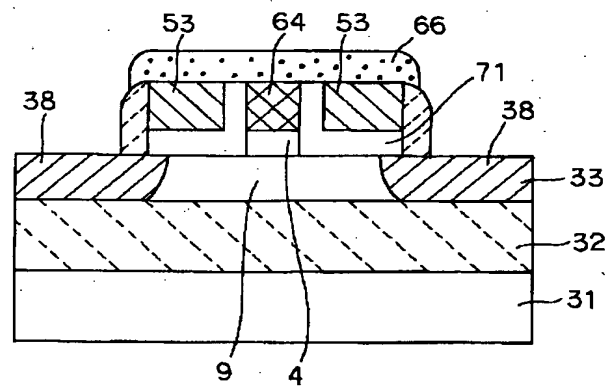
【図28】



【図29】

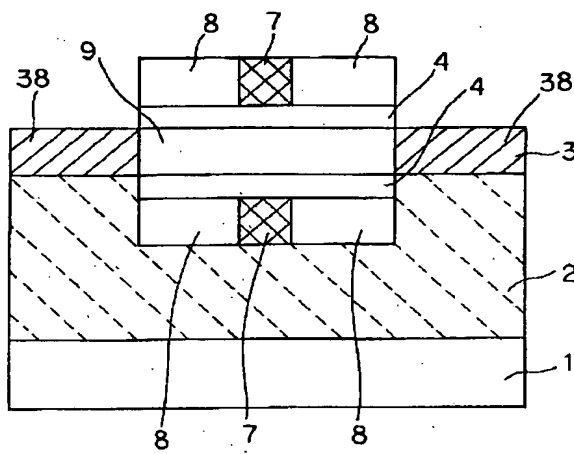


【図30】

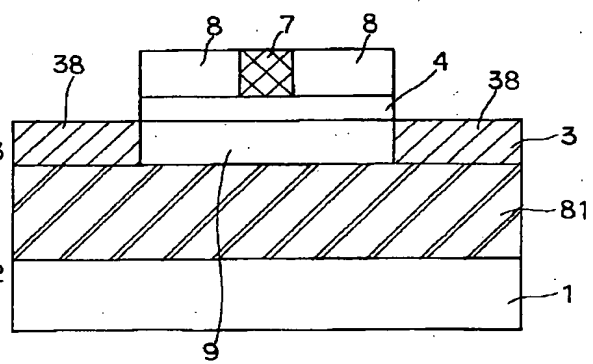




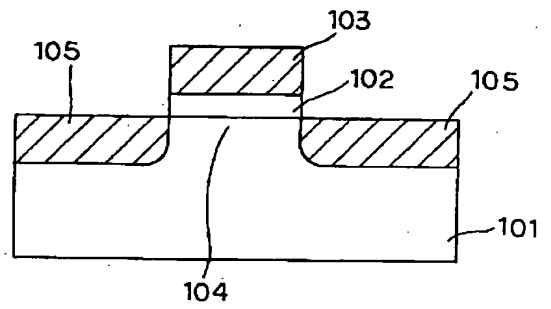
【図 3 1】



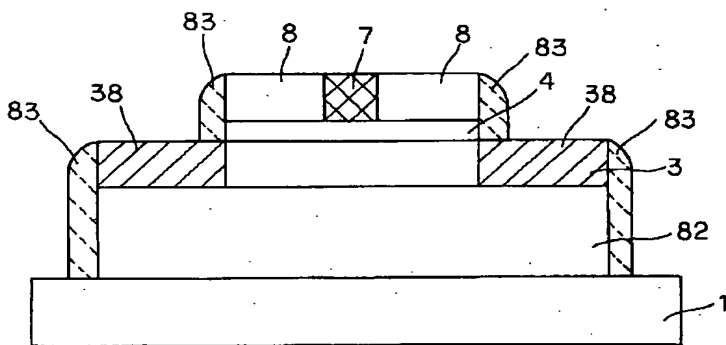
【図 3 2】



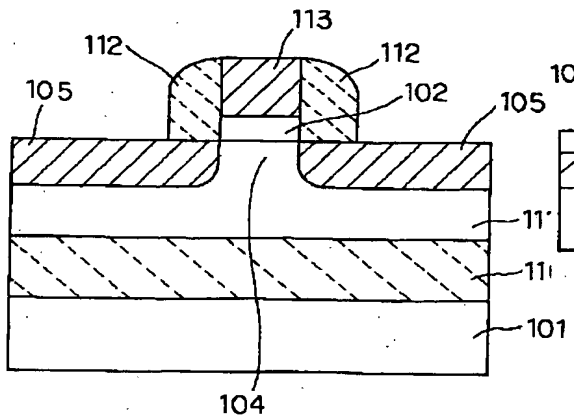
【図 3 4】



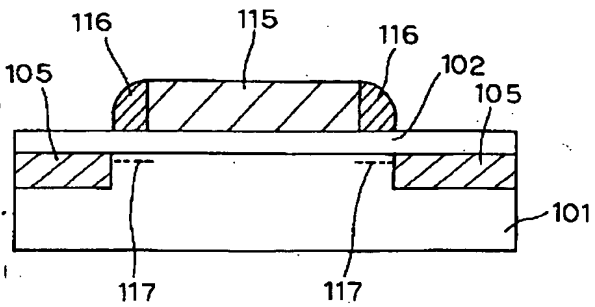
【図 3 3】



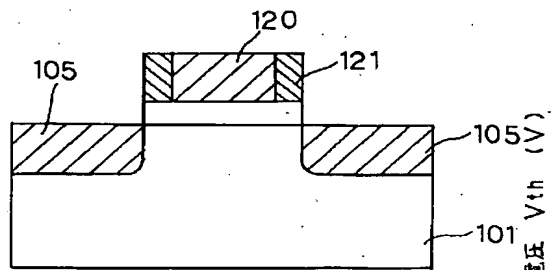
【図 3 5】



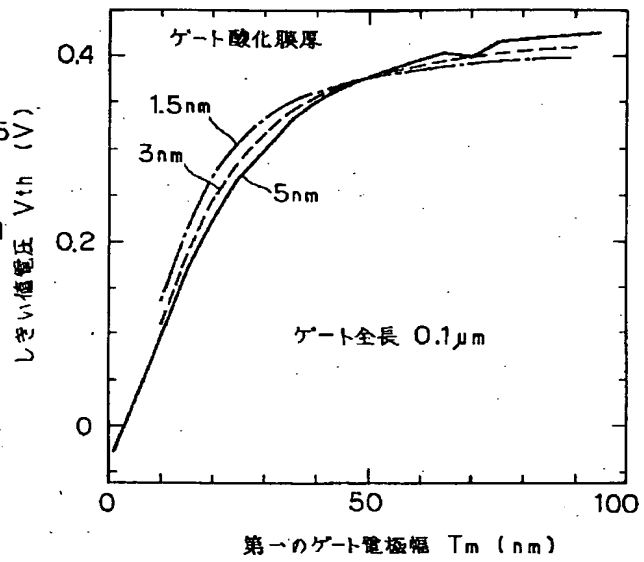
【図 3 6】



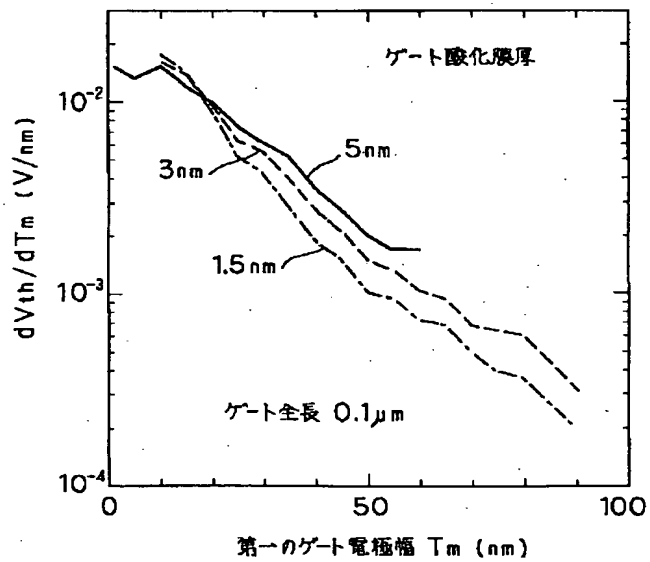
【図 37】



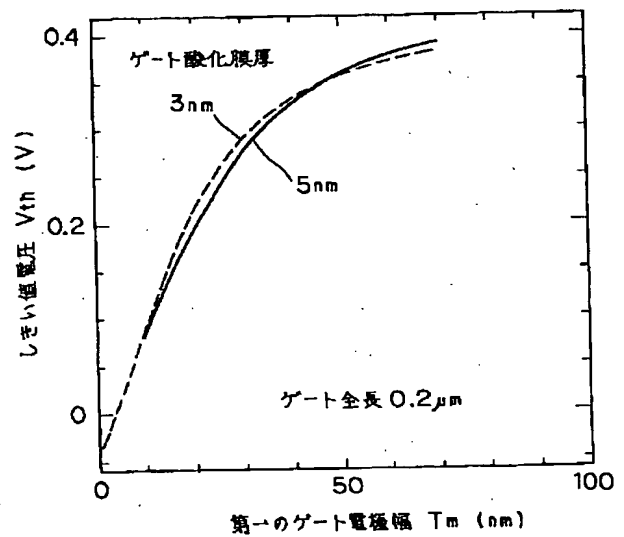
【図 38】



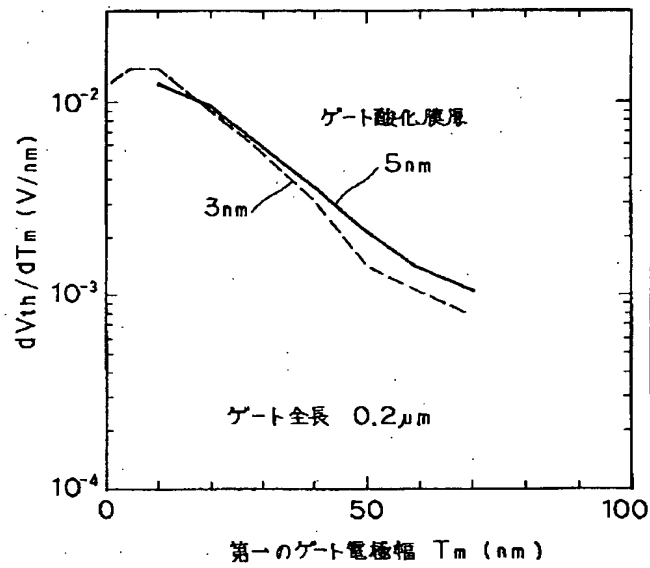
【図 39】



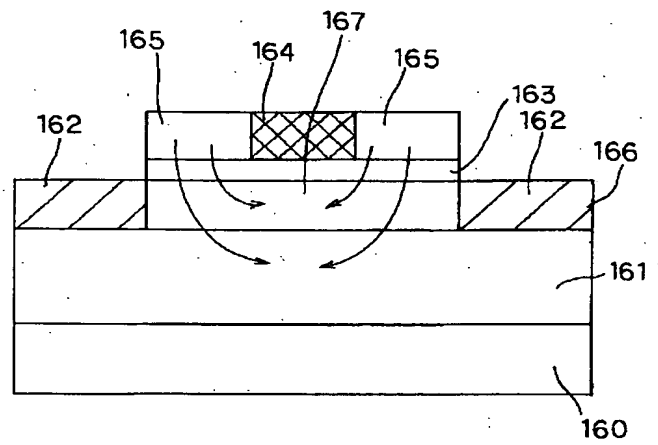
【図 40】



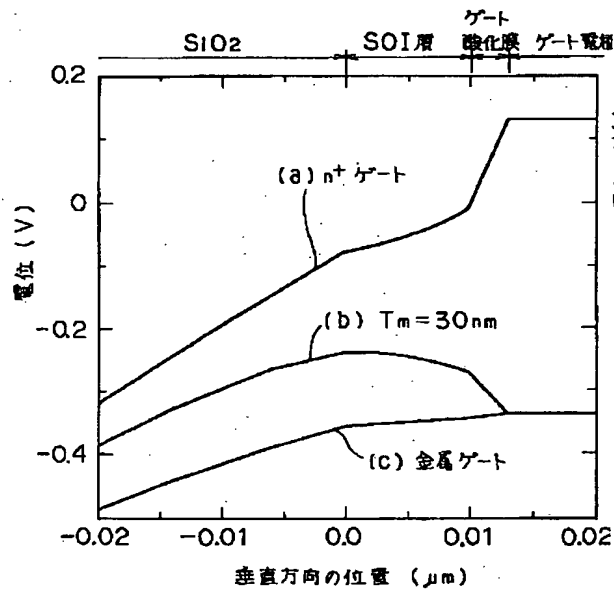
【図 4 1】



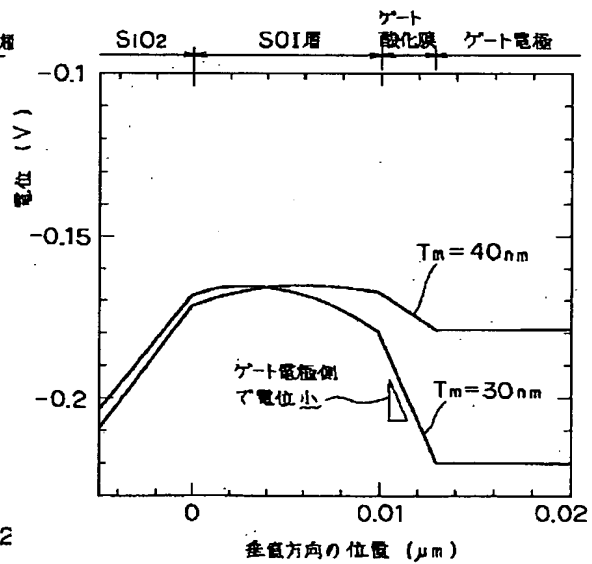
【図 4 2】



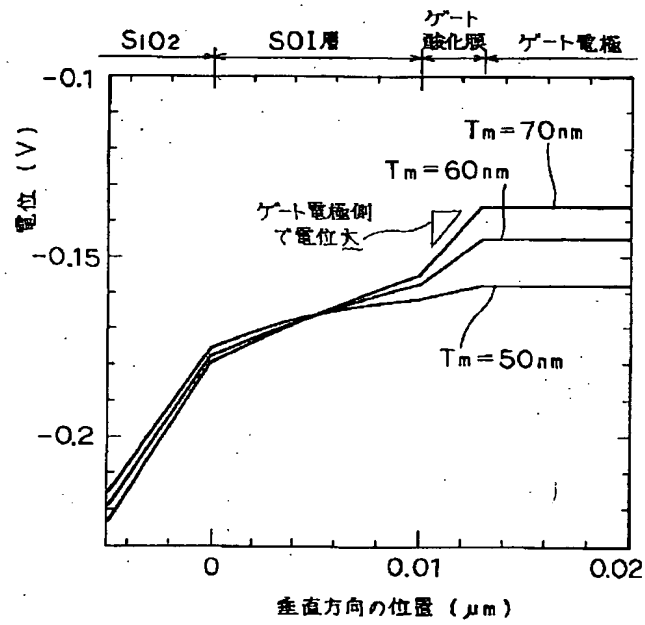
【図 4 3】



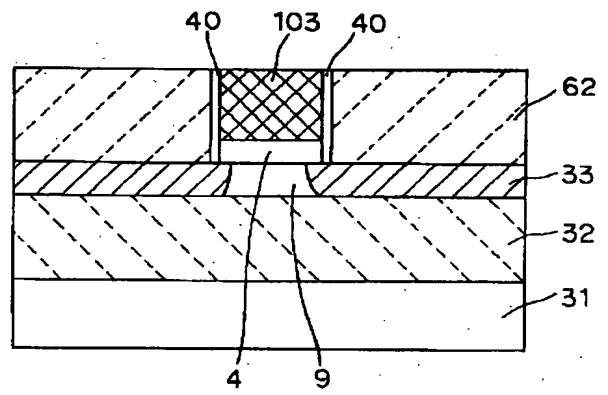
【図 4 4】



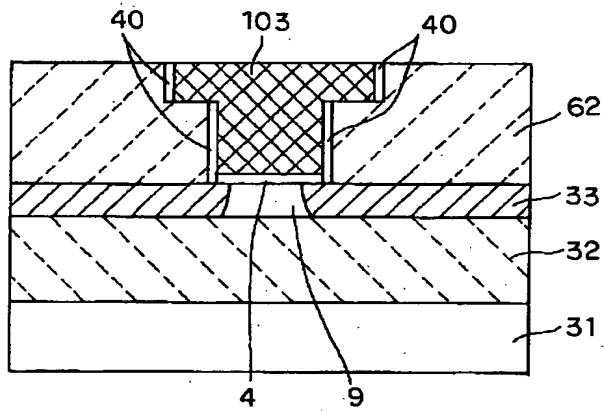
【図45】



【図46】



【図47】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012851

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H01L 29/78  
H01L 29/786

(21)Application number : 10-177511

(71)Applicant : NEC CORP

(22)Date of filing : 24.06.1998

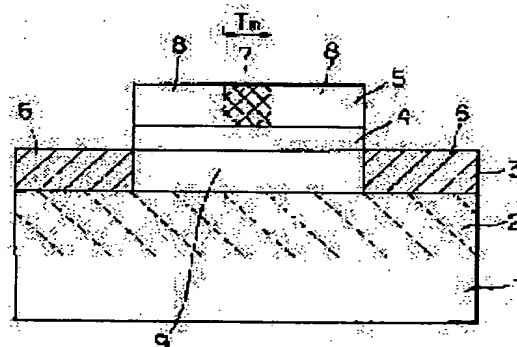
(72)Inventor : KO RISHO

## (54) FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To freely set the threshold voltage  $V_{th}$  of a field-effect transistor, without doping impurities.

SOLUTION: A field-effect transistor has a first gate electrode 7, which is positioned at the central part of the transistor, and second gate electrodes 8, which are positioned on both sides of the electrode 7, and at least one part of each of the second gate electrodes 8 is positioned on a channel formation region. As the materials for the electrodes 7 and 8, materials having different work functions are used. A first gate electrode length is set in the range that an electric field from the electrode 7 and electric fields from the electrodes 8 cause interference with each other. The electrode length is preferably set in a length of 40 nm or shorter.



## LEGAL STATUS

[Date of request for examination]

24.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3147161

[Date of registration]

12.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In the field effect transistor in which a gate electrode is prepared through an insulator layer on a semi-conductor, the semi-conductor layer of the lower part of a gate electrode accomplishes a channel formation field, and the source drain field of the first conductivity type is formed across a channel formation field A gate electrode consists of the first gate electrode located in the center section, and the second gate electrode located in the both sides, and is set to the second gate electrode. At least the part is located on a channel formation field, and when this first conductivity type is an n mold When the work function of the second gate electrode is smaller than the work function of the first gate electrode and this first conductivity type is a p mold Where the work function of the second gate electrode was larger than the work function of the first gate electrode and a threshold electrical potential difference is impressed to a gate electrode Electric field to which the potential of a semi-conductor layer becomes higher than a gate electrode when the first conductivity type is an n mold Electric field to which the potential of a semi-conductor layer becomes lower than a gate electrode when the first conductivity type is a p mold The field effect transistor characterized by having the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode which the second gate electrode forms in the center of a gate electrode, i.e., the first gate electrode.

[Claim 2] In the field effect transistor in which a gate electrode is prepared through an insulator layer on a semi-conductor, the semi-conductor layer of the lower part of a gate electrode accomplishes a channel formation field, and the source drain field of the first conductivity type is formed across a channel formation field A gate electrode consists of

the first gate electrode located in the center section, and the second gate electrode located in the both sides, and is set to the second gate electrode. At least the part is located on a channel formation field, and when this first conductivity type is an n mold When the work function of the second gate electrode is smaller than the work function of the first gate electrode and this first conductivity type is a p mold The field effect transistor characterized by the die length of spacing of both the interfaces that contact [ in / the work function of the second gate electrode is larger than the work function of the first gate electrode, and / the first gate electrode ] the second gate electrode, i.e., the first gate electrode, being 40nm or less.

[Claim 3] In the field effect transistor in which a gate electrode is prepared through an insulator layer on a semi-conductor, the semi-conductor layer of the lower part of a gate electrode accomplishes a channel formation field, and the source drain field of the first conductivity type is formed across a channel formation field A gate electrode consists of the first gate electrode located in the center section, and the second gate electrode located in the both sides, and is set to the second gate electrode. At least the part is located on a channel formation field, and when this first conductivity type is an n mold When the work function of the second gate electrode is smaller than the work function of the first gate electrode and this first conductivity type is a p mold The work function of the second gate electrode is larger than the work function of the first gate electrode. When  $T_m$  and the threshold electrical potential difference of a transistor are set to  $V_{th}$  for the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode, i.e., the first gate electrode, The field effect transistor according to claim 1 characterized by setting  $T_m$  as the range in which the absolute value of multiplier  $dV_{th}/dT_m$  which differentiated  $V_{th}$  by  $T_m$  becomes larger than  $4 \times 10$  to  $3$  v/nm.

[Claim 4] The field effect transistor according to claim 1, 2, or 3 characterized by preparing the extension of the first gate electrode in the upper part of the second gate electrode.

[Claim 5] The field effect transistor according to claim 1, 2, 3, or 4 which sandwiched the insulator layer between the first gate electrode and the second gate electrode.

[Claim 6] The field effect transistor according to claim 5 characterized by having a conductor linked to these both sides in the upper part of the first gate electrode and the second gate electrode.

[Claim 7] It is the approach of manufacturing the field effect transistor which has the first gate electrode and the second gate electrode located in the both sides. Form a dummy pattern and a source drain field is formed for a dummy pattern into the

semi-conductor of the both sides of a dummy pattern at a mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By removing a dummy pattern, extending opening downward, depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it by etching from opening The manufacture approach of the field effect transistor characterized by using said second gate electrode and the second conductive ingredient as said first gate electrode for a side attachment wall by establishing a side attachment wall and depositing the second conductive ingredient on opening circles continuously, and carrying out patterning of this.

[Claim 8] Are the approach of manufacturing a field effect transistor according to claim 1, and a dummy pattern is formed. A source drain field is formed for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By removing a dummy pattern, extending opening downward, depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it by etching from opening The manufacture approach of the field effect transistor characterized by using said second gate electrode and the second conductive ingredient as said first gate electrode for a side attachment wall by establishing a side attachment wall and depositing the second conductive ingredient on opening circles continuously, and carrying out patterning of this.

[Claim 9] The manufacture approach of a field effect transistor according to claim 7 or 8 which forms an insulator layer in the front face of the side attachment wall, and is characterized by depositing the second conductive ingredient continuously after preparing a side attachment wall in opening by depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it.

[Claim 10] The manufacture approach of a field effect transistor according to claim 7 or 8 characterized by growing up the conductor linked to these both sides into the upper part of said first gate electrode and the second gate electrode.

[Claim 11] By forming a dummy pattern, forming a source drain field for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a mask, covering the whole surface by the insulator layer, and removing the insulator layer on this dummy pattern by CMP The manufacture approach of the field effect transistor characterized by preparing opening of an insulator layer in this dummy pattern upper part, extending opening downward by etching from opening removing a dummy pattern, embedding a conductive ingredient at extended opening, and making this into a gate electrode.



[Claim 12] By being the approach of manufacturing the field effect transistor which has the first gate electrode and the second gate electrode located in the both sides, depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it The manufacture approach of a field effect transistor according to claim 11 which uses said second gate electrode and the second conductive ingredient as said first gate electrode for a side attachment wall by establishing a side attachment wall and depositing the second conductive ingredient on opening circles continuously, and carrying out patterning of this.

[Claim 13] The manufacture approach of a field effect transistor according to claim 11 which uses said second gate electrode and the second conductive ingredient as said first gate electrode for a side attachment wall by being the approach of manufacturing a field effect transistor according to claim 1, establishing a side attachment wall and depositing the second conductive ingredient on opening circles continuously by depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it, and carrying out patterning of this.

[Claim 14] Form a dummy pattern and a source drain field is formed for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By etching from opening, remove a dummy pattern and opening is extended downward. The manufacture approach of the field effect transistor characterized by using as a gate electrode the conductive ingredient which removed the conductive ingredient deposited on the field except opening by CMP, and was embedded at opening after depositing a conductive ingredient on the field which contains opening at least.

[Claim 15] It is the approach of manufacturing the field effect transistor which has the first gate electrode and the second gate electrode located in the both sides. Form a dummy pattern and a source drain field is formed for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By removing a dummy pattern, extending opening downward, depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it by etching from opening After depositing the second conductive ingredient on the field which prepares a side attachment wall in opening circles, and contains opening at least, The manufacture approach of the field effect transistor characterized by for CMP removing the second conductive ingredient deposited on the field except opening, and using as said first gate electrode the second conductive

ingredient embedded in the side attachment wall of opening circles at said second gate electrode and opening.

[Claim 16] Are the approach of manufacturing a field effect transistor according to claim 1, and a dummy pattern is formed. A source drain field is formed for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By removing a dummy pattern, extending opening downward, depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it by etching from opening After depositing the second conductive ingredient on the field which prepares a side attachment wall in opening circles, and contains opening at least, The manufacture approach of the field effect transistor characterized by for CMP removing the second conductive ingredient deposited on the field except opening, and using as said first gate electrode the second conductive ingredient embedded in the side attachment wall of opening circles at said second gate electrode and opening.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to control of the threshold electrical potential difference in a field effect transistor. It is related with the field effect transistor used especially for a high speed and the high accumulation LSI.

[0002]

[Description of the Prior Art] The sectional view of the usual n channel electric field effect mold transistor (MOSFET) is shown in drawing 34 . The gate electrode 103 which consists of n+ polish recon is formed through thin gate oxide 102 on p-mold silicon substrate 101. The source drain field 105 of n+ mold is established in the front face of the silicon substrate 101 of the both sides of the gate electrode 103. In this transistor, if an electrical potential difference higher than a threshold electrical potential difference is impressed to a gate electrode, the field (inversion layer) where concentration of electrons is high will be formed in the silicon substrate (channel formation field 104) of the gate electrode lower part, and it will serve as a path (channel) of a current.

[0003] Generally it depends for the threshold electrical potential difference of an electric field effect mold transistor on the concentration of the impurity in the channel

formation field 104 and the silicon substrate 101 of the neighborhood (for example, boron). This is for the magnitude of the electric field which impurity ion brings about to change, and for a threshold electrical potential difference to change as a result, when high impurity concentration is changed. Therefore, a threshold electrical potential difference can be set as a desired electrical potential difference by adjusting high impurity concentration. Generally, a threshold electrical potential difference forward in an n channel transistor is set up so that it may have a threshold electrical potential difference negative in a p channel transistor.

[0004] Moreover, the method of setting up a threshold electrical potential difference by different approach from installation of an impurity is shown to an IEDM technical digest and 117 pages (T. Ushiki et.al., 1996IEDM Tech Dig., p.117) by \*\*\*\* and others in 1996. The structure is shown in drawing 35 . The gate electrode 113 is formed through gate dielectric film 102 on the SOI substrate with which the laminating of the SOI layer 111 which embeds on a silicon substrate 101 and consists of an oxide film 110 and a single crystal semiconductor was carried out, and the source drain field 105 of n+ mold is established in the front face of the SOI layer of the both sides of a gate electrode. It has the side attachment wall which consists of an insulator layer 112 in the side face of the gate electrode 113, and a channel is formed in the SOI layer (channel formation field 104) of the gate electrode lower part. This transistor sets up a threshold electrical potential difference by using Ta with a larger work function than n+ polish recon as an ingredient of the gate electrode 113 instead of adjusting high impurity concentration.

[0005] This uses the property in which a threshold electrical potential difference is dependent not only on high impurity concentration but the work function of a gate electrode. This is explained in detail. The potential of a gate electrode falls, so that a work function is large. Therefore, in an n channel transistor, if an ingredient with a larger work function than n+ polish recon is used as a gate electrode, in order to form a channel, it will be necessary to apply a higher electrical potential difference to a gate electrode. That is, the threshold electrical potential difference which a channel makes form goes up. With the usual n channel transistor, if an impurity is not introduced into a channel formation field, a threshold electrical potential difference becomes less than [ 0V ]. However, if Ta etc. is used for a gate electrode, since a threshold electrical potential difference will go up, an impurity is not introduced but a threshold electrical potential difference is made also as for \*\* to a forward value in an n channel transistor.

[0006] Moreover, although the purpose differs from this invention since the purpose of invention is not a setup of a threshold electrical potential difference, the field effect

transistor shown in drawing 36 aiming at control of a short channel effect and relaxation of electric-field concentration is describing at JP,60-43863,A. This transistor is equipped with the second gate electrode (drawing n+ polish recon 116) with which the semi-conductor substrate 101, the source drain field 105 of a different conductivity type from a substrate, the first gate electrode (drawing p+ polish recon gate 115) prepared through gate dielectric film 102 on the semi-conductor substrate, and the first gate electrode prepared in contact with the side attachment wall of the first gate electrode differ from a work function. And it is p mold (a source drain field is n mold.) about a semi-conductor substrate. When considering as an n channel transistor, the work function of the second gate electrode is made smaller than the work function of the first gate electrode. It is n mold (a source drain field is p mold.) about a semi-conductor substrate. When considering as a p channel transistor, the work function of the second gate electrode is made larger than the work function of the first gate electrode. Moreover, the example which makes one side of the first gate electrode and the second gate electrode Mo or Mo silicide is also shown. By carrying out induction of the shallow inversion layer to the bottom of the second gate electrode, invention shown in drawing 36 eases drain electric field, and realizes control for the improvement in dependability, or a short channel effect. In addition, with the ingredient described here, the work function of p+ silicon (or p+ polish recon) is the largest, and n+ silicon (or n+ polish recon) has Mo or smallest Mo silicide following it.

[0007] This and similar structure are described also at JP,3-227562,A and JP,6-151828,A. The purpose of invention the purpose of invention given in JP,3-227562,A easing the electric field by which induction is carried out to the field which carried out deep depression in the drain field in the field to which the gate overlaps on a source drain field, and reducing the leakage current, and given in JP,6-151828,A is control of a short channel effect.

[0008] Moreover, contrary to the conventional example of drawing 36, rather than the gate electrode of the above first, the approach of choosing each ingredient from polish recon, a metal, etc. is describing the n channel transistor with the source drain field of n mold at JP,59-200465,A, JP,6-232389,A, JP,8-340104,A, etc. so that it may become large about the work function of the second gate electrode. This is shown in drawing 37. The purpose of these invention is control of a short channel effect in JP,59-200465,A at relaxation of electric field, JP,6-232389,A, and JP,8-340104,A.

[0009] Moreover, the method of establishing a side attachment wall with a different conductive ingredient from a gate electrode is describing the location on not a channel formation field but a LDD field (a source drain field is adjoined and it is the field where

high impurity concentration is lower than a source drain field with the same conductivity type as a source drain field) at JP,63-144574,A, JP,64-89461,A, JP,1-232765,A, and JP,5-226361,A. These aim at preventing degradation with the passage of time by the trap of the electron (hot carrier) being carried out in the LDD section.

[0010]

[Problem(s) to be Solved by the Invention] The impurity introduced into the channel formation field for control of the first technical-problem threshold has the operation which decreases a drain current (current which flows into a drain field) (the first technical problem). When the reason a current falls by installation of an impurity has low high impurity concentration, the electric field of a direction perpendicular to the channel side mainly formed with impurity ion are the cause, and when high impurity concentration is high, dispersion (impurity scattering) of the carrier by impurity ion becomes a main cause. a field effect transistor makes this problem detailed, and if thin gate oxide is used, and the gate capacitance per unit area becomes large or, it will be aggravated. Although using gate oxide with a thickness of 5nm or less is examined by the transistor with gate die length smaller than 0.25 micrometers, since the absolute value of a threshold electrical potential difference becomes small as gate oxide becomes thin, in order to secure a threshold electrical potential difference, it will be necessary to raise high impurity concentration. Then, the first technical problem becomes more serious. Moreover, especially, with the SOI electric field effect mold transistor which forms a component in the thin semi-conductor layer (SOI) on an insulator layer, since it is necessary to arrange only the impurity which is required for a setup of a threshold electrical potential difference in a thin semi-conductor layer, as a result, the high impurity concentration in the flowing field becomes high, and the fall of a current aggravates a carrier.

[0011] When setting up a threshold electrical potential difference by installation of the second technical-problem impurity, the problem (statistical variation) that distribution of an impurity will differ for every transistor and properties, such as a threshold electrical potential difference, will differ for every transistor as a result occurs. It is known that this problem will become remarkable with detailed-izing of a component.

[0012] the third technical problem -- there is a problem in the approach of controlling a threshold electrical potential difference by impurity installation, as mentioned above, and this is actualized by detailed-izing of a component, and application of SOI structure.

[0013] Since the structure of drawing 35 can set up a threshold, without using an

impurity, the second technical problem is canceled for a start [ said ]. However, it will be decided by this approach with the work function of a proper that a threshold electrical potential difference will be the ingredient which constitutes a gate electrode. In order to adjust a threshold electrical potential difference, it is necessary to rechoose the ingredient of a gate electrode. Since modification of a manufacturing installation, a production process, and a raw material is accompanied by modification of an ingredient, it becomes difficult to change a threshold electrical potential difference simply. Moreover, the gate electrode material with which a required threshold is obtained does not necessarily surely exist. Although it is originally desirable to decide that actuation of the circuit constituted with a transistor becomes the optimal as for a threshold electrical potential difference, by this approach, the third technical problem [ say / that optimization of a threshold electrical potential difference becomes difficult ] occurs.

[0014] The fourth technique and similar technique of technical-problem JP,60-43863,A ( drawing 36 ) are not a thing aiming at controlling installation of an impurity, and control of a threshold electrical potential difference, and the second technical problem is not solved for a start from the first. These techniques aim at relaxation of electric field, and control of a short channel effect. However, when its attention is paid to a threshold electrical potential difference, and a transistor is formed in these techniques, there is an essential defect [ say / that the usual threshold electrical potential difference is not obtained ] (the fourth technical problem). Therefore, since the usual threshold electrical potential difference is not obtained even if it produces the field effect transistor indicated by these official reports, a circuit cannot be operated normally.

[0015] The fourth technical problem is described in detail. In a Prior art, if an n channel transistor is taken for an example, compared with the first gate electrode, the threshold electrical potential difference of the second gate electrode will be made low. n+ polish recon or an ingredient with a bigger work function than this is used for the second gate electrode. An ingredient with a still bigger work function is used for the first gate electrode rather than the second gate electrode. Since the gate electrode of the usual transistor is n+ polish recon consequently, the work function of the first gate electrode becomes larger than the gate electrode of the usual transistor. In the transistor of drawing 36 , although a threshold electrical potential difference is decided with the potential barrier formed in the first gate electrode lower part, since the work function of the first gate electrode is large, a threshold electrical potential difference becomes high too much compared with the usual transistor. Since a threshold electrical potential difference is dependent on the work function of the first gate electrode, the

third technical problem that a threshold electrical potential difference cannot be set up freely, and the same problem occur. Moreover, if a transistor generally makes it detailed, in order to prevent a punch-through (abnormality actuation in which the leakage current flows), impurities (boron etc.) are introduced into a channel formation field or its lower part by a little high concentration. Since this impurity has the operation which makes a threshold electrical potential difference high, if the large ingredient of a work function is used for the gate electrode on [ first ] it, a threshold electrical potential difference will become high too much. Therefore, also when the work function of the first gate electrode is larger than the case of the usual transistor, the device on structure is needed so that a threshold electrical potential difference can be set as a desired value. In invention of drawing 37 , the second technical problem is generated similarly for a start. Moreover, if an ingredient with a bigger work function (in the case of an n channel) than  $n^+$  polish recon is used in the center, the third and fourth technical problem will occur like the technique of drawing 36 . The same approach as either the structure (installation of an impurity) of said drawing 34 or the structure (use of the work function of the gate) of drawing 35 is used for control of a threshold. Installation of an impurity generates the second technical problem for a start [ said ]. Moreover, when a different ingredient from usual constitutes the center section of the gate, the third technical problem occurs, a threshold electrical potential difference becomes high too much, and the problem that it cannot adjust to a required value arises.

[0016] Then, the purpose of this invention is solving the above-mentioned technical problem, and is offering the electrolysis effectiveness mold transistor which can be set up freely, and its manufacture approach for a threshold electrical potential difference, without doping an impurity.

[0017]

[Means for Solving the Problem] In this invention, the gate electrode of a field effect transistor is made into 3 layer structures constituted with the first gate electrode 7 and the second gate electrode 8 of both sides of a center section as shown in drawing 1 . The ingredient with which work functions differ mutually is used for the first gate electrode and the second gate electrode. If the first gate electrode length ( $T_m$ , the die length of the longitudinal direction of drawing 1 ) is made smaller than a certain die length, it will act so that it may have the in-between value (effectual work function) of the work function of the ingredient with which the electric field by the first gate electrode and the electric field by the second gate electrode constitute interference, and the work function of a lifting and a gate electrode constitutes the first gate electrode mutually,

and the work function of the ingredient which constitutes the second gate electrode. Then, with this structure, by changing the width of face of the first gate electrode 7, an effectual work function can be changed and a threshold electrical potential difference can be adjusted freely.

[0018] Therefore, if this invention is used, since the second technical problem is solved for a start [ said ] since channel doping for setting up a threshold is not needed and a threshold can be adjusted freely, the third technical problem is solved. Furthermore, since the effectual work function of a gate electrode becomes small effectually rather than the work function of the ingredient which constitutes the first gate electrode, the fourth technical problem is mitigable. Moreover, this invention can constitute polish recon, a metal, etc. from combination of the usual ingredient, and does not necessarily need a special ingredient (for example, ingredient with a work function lower than n+ polish recon).

[0019] As for becoming remarkable, the electric field by the first gate electrode and the electric field by the second gate electrode mutually interference [ the effectiveness of a lifting and this invention ] Electric field to which the potential of a semi-conductor layer becomes higher than a gate electrode when a source drain field is n mold where a threshold electrical potential difference is impressed to a gate electrode Electric field to which the potential of a semi-conductor layer becomes lower than a gate electrode when a source drain field is p mold When it has the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode which the second gate electrode forms in the center of a gate electrode, i.e., the first gate electrode, when the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode, i.e., the first gate electrode, is 40nm or less, come out, it is and these two conditions are in agreement like the after-mentioned in SOIMOSFET which does not introduce an impurity into a channel field.

[0020] Moreover, in order to make effectiveness of this invention more remarkable, when  $T_m$  and the threshold electrical potential difference of a transistor are set to  $V_{th}$  for the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode, i.e., the first gate electrode,  $T_m$  is set as the range in which the absolute value ( $|dV_{th}/dT_m|$ ) of multiplier  $dV_{th}/dT_m$  which differentiated  $V_{th}$  by  $T_m$  becomes larger than  $4 \times 10$  to  $3 \text{ v/nm}$ .

[0021] Hereafter, a means is described concretely.

[0022] In this invention, a gate electrode (7 8) is prepared through an insulator layer 4 on a semi-conductor 3. In the field effect transistor in which the semi-conductor layer of the lower part of a gate electrode accomplishes the channel formation field 9, and the



source drain field 6 of the first conductivity type is formed across a channel formation field A gate electrode consists of the first gate electrode 7 located in the center section, and the second gate electrode 8 located in the both sides, and is set to the second gate electrode. At least the part is located on a channel formation field, and when this first conductivity type is an n mold When the work function of the second gate electrode is smaller than the work function of the first gate electrode and this first conductivity type is a p mold Where the work function of the second gate electrode was larger than the work function of the first gate electrode and a threshold electrical potential difference is impressed to a gate electrode Electric field to which the potential of a semi-conductor layer becomes higher than a gate electrode when a source drain field is n mold Electric field to which the potential of a semi-conductor layer becomes lower than a gate electrode when a source drain field is p mold It is characterized by having the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode which the second gate electrode forms in the center of a gate electrode, i.e., the first gate electrode. This condition specifically appears clearly, when  $T_m$  is 40nm or less (refer to drawing 44 and drawing 45 ), and this condition is in agreement with the conditions to which the effectiveness of adjusting a threshold electrical potential difference becomes remarkable by changing the width of face of the first gate electrode (refer to drawing 39 and drawing 41 ).

[0023] Moreover, in this invention, a gate electrode (7 8) is prepared through an insulator layer 4 on a semi-conductor 3. In the field effect transistor in which the semi-conductor layer of the lower part of a gate electrode accomplishes the channel formation field 9, and the source drain field 6 of the first conductivity type is formed across a channel formation field A gate electrode consists of the first gate electrode 7 located in the center section, and the second gate electrode 8 located in the both sides, and is set to the second gate electrode. At least the part is located on a channel formation field, and when this first conductivity type is an n mold When the work function of the second gate electrode is smaller than the work function of the first gate electrode and this first conductivity type is a p mold The work function of the second gate electrode is larger than the work function of the first gate electrode, and it is characterized by the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode, i.e., the first gate electrode, being 40nm or less. When fulfilling this condition, the effectiveness of adjusting a threshold electrical potential difference becomes remarkable by changing the width of face of the first gate electrode (refer to drawing 39 and drawing 41 ).

[0024] Moreover, in this invention, a gate electrode (7 8) is prepared through an

insulator layer 4 on the semi-conductor layer 3. In the field effect transistor in which the semi-conductor layer of the lower part of a gate electrode accomplishes the channel formation field 9, and the source drain field 6 of the first conductivity type is formed across a channel formation field A gate electrode consists of the first gate electrode 7 located in the center section, and the second gate electrode 8 located in the both sides, and is set to the second gate electrode. At least the part is located on a channel formation field, and when this first conductivity type is an n mold When the work function of the second gate electrode is smaller than the work function of the first gate electrode and this first conductivity type is a p mold The work function of the second gate electrode is larger than the work function of the first gate electrode. When  $T_m$  and the threshold electrical potential difference of a transistor are set to  $V_{th}$  for the die length of spacing of both the interfaces that contact the second gate electrode in the first gate electrode, i.e., the first gate electrode, It is characterized by setting  $T_m$  as the range in which the absolute value ( $|dV_{th}/dT_m|$ ) of multiplier  $dV_{th}/dT_m$  which differentiated  $V_{th}$  by  $T_m$  becomes larger than  $4 \times 10$  to  $3 \text{ v/nm}^{**}$ . When fulfilling this condition, the effectiveness of adjusting a threshold electrical potential difference becomes more remarkable by changing the width of face of the first gate electrode (refer to drawing 39 and drawing 41).

[0025] Moreover, in this invention, the extension of the first gate electrode 54 is prepared in the upper part of the second gate electrode 53 like drawing 24. This can improve the flow between the increase of the touch area of the first gate electrode and the second gate electrode, and two electrodes, and stability of the potential of two electrodes is carried out.

[0026] Moreover, in this invention, it is characterized by inserting an insulator layer between the first gate electrode 54 and 64 and the second gate electrode 53 like drawing 26 and drawing 28. This has the effectiveness which controls diffusion of the impurity between two electrodes, or the chemical reaction between the ingredients which constitute two electrodes.

[0027] Moreover, in this invention, it is characterized by forming the conductor 66 linked to these both sides in the upper part of the first gate electrode 64 and the second gate electrode 53 like drawing 29. This improves a both gates inter-electrode flow, and has the operation which stabilizes the potential of both the gates electrode.

[0028] Moreover, in this invention, as shown in drawing 19 - drawing 26, a dummy pattern is formed. A source drain field is formed for a dummy pattern into a semi-conductor at a mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By removing a dummy

pattern, extending opening downward, depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it by etching from opening. It is characterized by using said second gate electrode and the second conductive ingredient as said first gate electrode for a side attachment wall by establishing a side attachment wall and depositing the second conductive ingredient on opening continuously, and carrying out patterning of this.

[0029] Moreover, as drawing 22 R> 2, drawing 23, drawing 25, and drawing 26 show, after preparing a side attachment wall in opening in the manufacture approach of this invention by depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it, an insulator layer is formed in the side attachment wall front face, and it is characterized by embedding the second conductive ingredient continuously.

[0030] Moreover, in this invention manufacture approach, it is characterized by growing up the conductor connected with these both sides in the upper part of said first gate electrode and the second gate electrode.

[0031] Moreover, in the manufacture approach of this invention, in order for etching to remove this dummy pattern, in case opening is prepared, it is characterized by removing the insulator layer on this dummy pattern by CMP.

[0032] Moreover, this invention forms a dummy pattern and forms a source drain field for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a mask. By covering the whole surface by the insulator layer and removing the insulator layer on this dummy pattern by CMP. Opening of an insulator layer is prepared in this dummy pattern upper part, and opening is extended downward, and etching from opening removes a dummy pattern and it is related [ a conductive ingredient is embedded at extended opening and ] with the manufacture approach of the field effect transistor characterized by making this into a gate electrode.

[0033] Furthermore, this invention is the manufacture approach of a field effect transistor of having the first gate electrode and the second gate electrode located in the both sides, and is set to the above-mentioned manufacture approach. By depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it. The second conductive ingredient is continuously established a side attachment wall and deposited on opening, and a side attachment wall is related with the manufacture approach of the field effect transistor used as said first gate electrode in said second gate electrode and the second conductive ingredient by carrying out patterning of this.

[0034] Moreover, this invention forms a dummy pattern and forms a source drain field for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a

mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By etching from opening, remove a dummy pattern and opening is extended downward. After depositing a conductive ingredient on the field which contains opening at least, CMP removes the conductive ingredient deposited on the field except opening, and it is related with the manufacture approach of the field effect transistor characterized by using as a gate electrode the conductive ingredient embedded at opening.

[0035] Furthermore, this invention is the manufacture approach of a field effect transistor of having the first gate electrode and the second gate electrode located in the both sides. Form a dummy pattern and a source drain field is formed for a dummy pattern into the semi-conductor of the both sides of a dummy pattern at a mask. Cover the whole surface by the insulator layer and opening is prepared in the insulator layer on this dummy pattern. By removing a dummy pattern, extending opening downward, depositing the first conductive ingredient on extended opening, and carrying out etchback of this to it by etching from opening After depositing the second conductive ingredient on the field which prepares a side attachment wall in opening circles, and contains opening at least, CMP removes the second conductive ingredient deposited on the field except opening, and it is related with the manufacture approach of the field effect transistor characterized by using as said first gate electrode the second conductive ingredient embedded in the side attachment wall of opening circles at said second gate electrode and opening.

[0036] If these manufacture approaches are used, above-mentioned transistor structure can be formed easily.

[0037] The manufacture approach using the dummy pattern of above-mentioned this invention is a transistor with the first and second gate electrodes, and may be applied to that (for example, thing from which the purposes, such as the conventional example of drawing 36, differ) in which the dimension of the first gate electrode and a setup of a work function differ from the structure of drawing 1. The advantage of these manufacture approaches is that formation of a pattern is easy in the first place. Generally the gate electrode is so easy to process it that it is large. However, it is forced to form the first gate electrode previously and to form the first gate electrode in a dimension smaller than gate length (overall length which set the first and second gate electrodes) with lithography at the process which prepares the second gate electrode in the side attachment wall. However, since the manufacture approach of this invention should just form a dummy pattern equal to the overall length of the gate with lithography, the burden of a lithography process is mitigated. It is reduction of the

effect of heat in the second. Since the first and second gate electrodes are formed for a dummy pattern after forming a source drain field in a mask, migration of the ion between a chemical reaction or an interface does not break out by the first and second interfaces of a gate electrode by heat treatment at the time of forming a source drain field.

[0038] Furthermore, while not performing a photolithography process, simplifying a process and mitigating the burden in a process in case the insulator layer of the upper part is removed and a dummy pattern is exposed if the process to which CMP removes the insulator layer of the upper part of a dummy pattern, and a dummy pattern is exposed is used, the defects by location gap of the pattern accompanying a photolithography are reducible. After embedding a conductive ingredient into opening, a conductive ingredient is processed by CMP, and flat structure will be acquired if the process which obtains a gate electrode is used. In addition, the advantage of the CMP process described here is acquired, also when the gate consists of a single ingredient and it applies.

[0039] Moreover, if opening with width of face wider than a dummy pattern is prepared on a dummy pattern, since the width of face can be made large in the upper part of the gate electrode formed, gate resistance can be reduced.

[0040]

[Embodiment of the Invention] With reference to the first operation gestalt \*\*\*\* and drawing 1, the configuration of 1 operation gestalt of this invention is explained.

[0041] On the semi-conductor layer 3 on an insulator 2 (SOI layer), the first gate electrode 7 is formed through gate dielectric film 4. On the gate dielectric film of the both sides of the first gate electrode, the second gate electrode 8 is formed in contact with the side face of the first gate electrode, and the source drain field 6 of the first conductivity type is established in the front face of the semiconductive layer of the outside of the second gate electrode. When the first conductivity type is an n mold, the work function of the second gate electrode is smaller than the work function of the first gate electrode, and when the first conductivity type is a p mold, the work function of the second gate electrode chooses the ingredient of the second gate electrode for a start so that it may become larger than the work function of the first gate electrode. For a start, the second gate electrode flows mutually and the same electrical potential difference is impressed. The first gate electrode length (the die length of T<sub>m</sub> and the first gate electrode in the horizontal direction of drawing 1) may be 40nm or less.

[0042] In this structure, the result of having searched for the first gate electrode length (T<sub>m</sub>) dependency of a threshold electrical potential difference by the device simulator is

shown in drawing 38 and drawing 40 . Simulation was performed to the transistor (n channel transistor) with the source drain field of n+ mold. gate length (L: -- the overall length of the gate with which the first gate electrode 7 and the second two gate electrode 8 were aligned -- it is -- the width of face of the longitudinal direction of drawing 1 ) is 0.1 micrometers and 0.2 micrometers, respectively. In gate oxidation thickness, 10nm and a drain electrical potential difference set 1.5nm, 3nm, 5nm, and SOI thickness to 0.1V. The second gate electrode made the work function of n+ polish recon and the first gate electrode the center of a forbidden band of silicon. It is not doping in the SOI layer 3 of the channel formation field 9. In addition, the threshold electrical potential difference was made into the gate voltage from which a drain current is set to  $10^{-7}A$  in the transistor with the same gate width as gate length.

[0043] When the first gate electrode length  $T_m$  is changed, it turns out that the threshold electrical potential difference  $V_{th}$  changes. This effectiveness is remarkable especially when  $T_m$  is 40nm or less. This reason is explained. In 50nm or more,  $T_m$  will go up, if, as for a threshold electrical potential difference, gate oxide becomes thick. This is the same behavior as the usual transistor. The more the gate oxide from which the electric field of the direction which makes potential of a gate electrode higher than the potential of the channel to which an electron flows are formed into gate oxide, and separate a channel and a gate electrode becomes thick, the more this behavior is reflecting that the potential difference of both the interfaces of gate oxide becomes large, and the potential of a gate electrode becomes high. However, it will fall, if, as for a threshold electrical potential difference, gate oxide becomes [  $T_m$  ] thick by 40nm or less, and behavior differs from the usual transistor. The electric field of the first gate electrode and the electric field of the second gate electrode interfere in this mutually, and it reflects that different potential distribution from the usual transistor between a gate electrode and a channel is formed. In this field, the threshold electrical potential difference of a transistor is decided by the electric field in which both electric field are mixed and formed rather than is decided by the electric field from the first or the second one of gate electrodes. This is served as it changed to the effectual work function in which the work function of a gate electrode has the middle value of the ingredient which constitutes the first gate electrode, and the ingredient which constitutes the second gate electrode. Consequently, as shown in drawing 38  $R > 8$  and drawing 40 , a threshold electrical potential difference can be changed now a lot by changing the width of face of the first gate electrode, and changing the interference situation of electric field. And as shown in these drawings, when the electric field of the first gate electrode and the electric field of the second gate electrode change the first

gate electrode length in the conditions ( $T_m$  is 40nm or less) which cause interference mutually, a threshold electrical potential difference can be changed a lot. Moreover, since the same simulation result is obtained also when changing gate length, it can be said that this relation is realized even when gate length differs. Therefore, if the electric field of the first gate electrode and the electric field of the second gate electrode change the first gate electrode length like this invention in the range (40nm or less) from which interference is started mutually, a threshold electrical potential difference can be set up freely. Moreover, even if the above-mentioned simulation result does not introduce an impurity into a channel formation field, it shows that a forward threshold electrical potential difference is obtained in the n channel transistor.

[0044] Moreover, about a p channel transistor, if all polarities are made into reverse, the same thing will be realized.

[0045] Since a threshold electrical potential difference can be freely set up according to the above operation, without the field effect transistor of this invention needing installation of an impurity, the second technical problem is solved for a start. Moreover, since a threshold electrical potential difference can be freely adjusted by changing the width of face of the first gate electrode, in order to change a threshold, there is no need of changing the ingredient which constitutes the first gate electrode, and the third technical problem is solved.

[0046] Interference with the electric field of the first gate electrode and the electric field of the second gate electrode is explained concretely.

[0047] The sectional view of the transistor of this invention is shown in drawing 42. Since the work function of the second gate electrode 165 is smaller than the work function of the first gate electrode 164 in the case of an n channel transistor, the potential of the second gate electrode is higher than the first gate electrode. For this reason, the potential of the lower part of the first gate electrode rises by the electric field from the second gate electrode, as shown in the arrow head of drawing 42. This is interference of the electric field described above, and this becomes so remarkable that the first gate electrode length is small. Moreover, directly under the first gate electrode, the effect of the first gate electrode is large, and since potential becomes low, this effectiveness becomes remarkable for example, in a channel formation field at the part and concrete target which kept their distance a little from the first gate electrode of the lower part of the first gate electrode..

[0048] The rise of potential is shown in drawing 43. This shows vertical potential distribution in the center section of the first gate electrode. a thing [ in / in component structure / drawing 39 ] -- \*\* -- it is the same and is the case where the curve (b) of the

center of drawing 43 is  $T_m=30\text{nm}$ . A drain electrical potential difference is  $0.1\text{V}$ . The curve in drawing 43 (a) is the case where the whole gate electrode is a metal for a curve (c) when the whole gate electrode is n+ polish recon (when a work function is assumed to be the center of a prohibition object of silicon). Although curved (a) structure corresponds to curved (b) structure when the whole gate electrode is the same ingredient as the second gate electrode, and curved (c) structure is the ingredient as the first gate electrode with the same whole gate electrode. When drawing 43 is seen, the potential in the SOI layer in a curve (b) becomes in the middle of a curve (a) and a curve (b), and it turns out that the electric field in curved (b) structure show behavior with which the electric field in the case of n+ polish recon and the electric field in the case of a metal were mixed. The vertical potential distribution at the time of impressing the threshold electrical potential difference of a transistor and the becoming electrical potential difference is shown in a gate electrode at drawing 44 and drawing 45. Component structure is the same as that of the thing in drawing 39, and a drain electrical potential difference is  $0.1\text{V}$ . When the die length  $T_m$  of the first gate electrode is  $30\text{nm}$  and  $40\text{nm}$  (drawing 44), the potential of a SOI layer is higher than a gate electrode, and mixing of said electric field has occurred. In this case, if interference of the electric field from the second gate electrode is remarkable and  $10\text{nm}$  of  $T_m(s)$  is changed,  $40\text{mV}$  or more of threshold electrical potential differences will change (equivalent to the variation of the potential at the right end of drawing). On the other hand, when the die length  $T_m$  of the first gate electrode is  $50\text{nm}$ ,  $60\text{nm}$ , and  $70\text{nm}$  (drawing 45  $R>5$ ), the potential of a gate electrode is higher than a SOI layer, and it is not different from the case where the same bias conditions are given at all in the usual MOSFET. Namely, change of the threshold electrical potential difference at the time of there not being interference of remarkable electric field which were described above, and mixing, and changing  $10\text{nm}$  of  $T_m(s)$  is as small as  $10\sim15\text{mV}$ .

[0049] Therefore, the conditions to which mixing of electric field becomes remarkable in this invention ( $T_m$  is  $40\text{nm}$  or less.) The potential of a SOI layer is higher than a gate electrode. The potential in gate oxide becomes low by the gate electrode side. By using positively, it makes it possible to control a threshold electrical potential difference greatly by controlling the first gate electrode length  $T_m$ .

[0050] Although it accepts in [ on the usual SOIMOSFET and / distribution / as for which the potential of a SOI layer becomes higher than a gate electrode when a threshold electrical potential difference is impressed to a gate electrode / potential / when a drain electrical potential difference is very high ] the field especially near a source drain field etc., this invention is generated by interference of the electric field of



the gate electrode of the first and \*\* a second, and it generates that a drain electrical potential difference is low. Moreover, in this invention, this is accepted also in the center (in drawing 43 and drawing 44 , it sets to the transistor of 0.1 micrometers of gate length, and is the location of 0.05 micrometers from the source) of the gate. Moreover, although the potential distribution to which the potential of a SOI layer becomes higher than a gate electrode is accepted also when a lot of donors are introduced into a SOI layer (the second technical problem occurs for a start in this case), this invention does not introduce a donor but is excellent in the point that the second technical problem does not occur for a start. Moreover, the potential distribution to which the potential of a SOI layer becomes higher than a gate electrode has a power source for impressing an electrical potential difference to a substrate, and the fault to which wiring is needed in this case, although it generates also when a forward electrical potential difference is impressed to a support substrate. This invention does not have these faults, either.

[0051] Drawing 39 and drawing 41 show the value ( $dV_{th}/dT_m$ ) which differentiated the threshold electrical potential difference  $V_{th}$  of an n channel transistor by the first gate electrode width of face  $T_m$ . Drawing 39 is 0.1 micrometers of gate length, and drawing 41 is the case of 0.2 micrometers. If  $T_m$  becomes larger than 40nm, the value will fall to 20% or less of the field ( $T_m=10nm$ ) where  $T_m$  is small. Although the value of  $dV_{th}/dT_m$  is one to  $2 \times 10$  to  $2 \text{ v/nm}$  in  $T_m=10nm$ , it is set less than to  $2 \times 10$  to  $3 \text{ v/nm}$  by  $T_m=50nm$ , and becomes about [ of a  $T_m=10nm$  value ]  $1/10$  mostly in  $T_m=60nm$ . Therefore, even if it makes  $T_m$  thick to 50nm or more, the effectiveness of the  $T_m$  dependency of  $V_{th}$  being small and controlling a threshold by changing  $T_m$  fades. On the other hand, by  $T_m=40nm$ , the value of  $dV_{th}/dT_m$  is in the range of  $1.5 \times 10$  to  $3 \text{ v/nm}$  to  $4 \times 10$  to  $3 \text{ v/nm}$ , and  $T_m$  becomes larger than this by less than 40nm. Therefore, for a start, in the range ( $T_m$  is 40nm or less) from which the electric field of the second gate electrode start interference, the  $T_m$  dependency of  $V_{th}$  is large and  $V_{th}$  can be effectively adjusted by adjusting the width of face of the first gate electrode.

[0052] Moreover, since it will fall if the value of  $dV_{th}/dT_m$  has thin gate oxidation thickness,  $T_m$  may be set as the range in which the same value as the case where gate oxide is thick is acquired to control a threshold electrical potential difference greatly, even if it is the range from which the second gate electrode starts interference for a start as shown in drawing 39 . For example, in  $T_m=40nm$  and 5nm of gate oxidation thickness, since the value of  $dV_{th}/dT_m$  is in the range of  $3 \times 10$  to  $3 \text{ v/nm}$  to  $4 \times 10$  to  $3 \text{ v/nm}$ , when the structure conditions of components, such as gate oxide, change,  $T_m$  is set as the range in which the value of  $dV_{th}/dT_m$  exceeds  $4 \times 10$  to  $3 \text{ v/nm}$ . In this case,

by 37nm or less and 1.5nm of gate oxidation thickness,  $T_m$  will be set as 32nm or less for  $T_m$  from drawing 39 at 3nm of gate oxidation thickness. By carrying out like this,  $V_{th}$  can use a sensitive field to  $T_m$ .

[0053] In addition, since the value of  $V_{th}$  and  $dV_{th}/dT_m$  becomes negative with a p channel transistor, \*\* which sets up  $T_m$  so that it may have the relation same about the absolute value as a top is good. Therefore, the relation realized to both an n channel transistor and a p channel transistor by transposing above-mentioned  $V_{th}$  and above-mentioned  $dV_{th}/dT_m$  to each absolute value is obtained. Moreover,  $T_m$  decided to the n channel transistor may be applied to a p channel transistor as it is.

[0054] Moreover, there are usually two purposes, a setup of a threshold and control of a punch-through, in introducing an impurity in FET. Moreover, high impurity concentration influences both threshold and punch-through conversely. That is, in addition to a setup of a threshold, in the usual MOSFET, an impurity is introduced also from a viewpoint of control of a punch-through. Therefore, in order to set up a threshold electrical potential difference, even if it has formed the structure which does not need to introduce an impurity, there will be a problem that the impurity introduced for punch-through control affects a threshold, and causes the second technical problem for a start [ said ]. However, in the example of this invention described above, since pile SOI structure is used for a lifting for a punch-through, it is not necessary to introduce an impurity also from a viewpoint of punch-through control, and the second technical problem is solved for a start [ said ]. In addition, what is necessary is just to set up the value of  $T_m$  so that a required threshold electrical potential difference may be filled within limits described above. For example, it sets up so that a threshold electrical potential difference may serve as a forward value with an n channel transistor. Since drawing 38  $R > 8$  to this is a case more than  $T_m$ , it is desirable to set the value of  $T_m$  to 3.5nm or more. A CMOS circuit etc. is important for especially this in the circuit which needs a forward threshold electrical potential difference. moreover -- if it is going to make small the double figures OFF state current (drain current at the time of impressing 0V to a gate electrode) compared with the case where a threshold electrical potential difference is impressed to a gate electrode -- a threshold electrical potential difference -- about 0.12 -- since it is necessary to carry out to V or more,  $T_m$  is set up so that this may be filled. In this case, as for drawing 38 to  $T_m$ , it is desirable that it is 11nm or more. Moreover, in the CMOS circuit which generally operates with about [ 1.2-1.5V ] supply voltage, it is desirable to set up  $T_m$  so that this may be filled with setting a threshold electrical potential difference as 0.2-0.3V, since it is thought that a working speed, leakage current, and the noise margin are made as for \*\*\*\*\* to

coincidence good (1997 besides TAUA, an eye I dee em tech NIKARU digest, 215 pages). In this case, drawing 38 to Tm has the desirable range of 18nm - 30nm.

[0055] Moreover, it is larger than n+ polish recon whose work function of the first gate electrode (p+ polish recon, Mo, Mo silicide) is the ingredient used as a gate electrode with the usual transistor in the conventional example of drawing 36 for example. In this case, the problem that the threshold electrical potential difference of a transistor becomes high too much occurs. Although it depends for a threshold electrical potential difference on the high impurity concentration of a channel formation field, and the work function of the gate, since impurity doping to a channel formation field is required also because of control of a punch-through (generating of the leakage current by unnecessary flow), if doping for controlling a punch-through is performed, a threshold electrical potential difference becomes high too much, and cannot apply it to an actual component. This can be said to be what said third technical problem and the same problem generate in order that a threshold may be dependent on the work function of the first gate electrode. If the first gate electrode length is set to 40nm or less by this invention also about this, it can use that the electric field by the second gate electrode interfere notably for a start, and can prevent a threshold becoming high too much, and it can set up so that the optimal threshold can be obtained. Therefore, if this invention is applied to the conventional example of drawing 36, since the work function of the first gate electrode can be lowered effectually, the problem that a threshold electrical potential difference becomes high too much is solved, and application in a circuit is attained.

[0056] Moreover, a threshold electrical potential difference is decided by interference with the electric field of the first gate electrode, and the electric field of the field contiguous to the gate electrode of [ first ] the second gate electrode with the structure of this invention. Therefore, when the second gate electrode length (the die length of the longitudinal direction of the second gate electrode in the horizontal direction in drawing 1 ) is large, a lateral part (part which adjoins a source drain field) does not participate in a threshold electrical potential difference among the second gate electrode. Since the die length of the lateral part which does not participate in a threshold will only change even if the second gate electrode length becomes large if the first gate electrode length is fixed, it stops therefore, depending for a threshold electrical potential difference on the overall length of the gate. That is, a short channel effect is controlled. Also in drawing 36 and the conventional example of drawing 37, although control (effectiveness by easing electric field) of a short channel effect is asserted, this invention controls a short channel effect by different principle

(effectiveness that the effect which the die length of the second gate electrode has on a threshold is small) from these, and the effectiveness is superior to the conventional example. In addition, this effectiveness is acquired by the configuration in which interference of the electric field of the second gate electrode occurs for a start which this invention asserts.

[0057] Moreover, in the usual field effect transistor, if a source drain field enters the bottom of a gate electrode by diffusion of an impurity, the distance between two source drain fields (activation channel length) will become small, and, as a result, a threshold electrical potential difference will be changed. However, with the structure of this invention, since the potential of the lower part of the first gate electrode changes in response to interference of the electric field of the second gate electrode, the structure of the lower part of the second gate electrode seldom influences a threshold electrical potential difference. Therefore, although a source drain field enters the bottom of a gate electrode by diffusion of an impurity, if it is extent to which it enters into the second gate electrode lower part in part, since fluctuation of a threshold electrical potential difference is small, the property variation of a component resulting from diffusion of the longitudinal direction of the source / drain impurity is controlled.

[0058] Moreover, in order to shorten the overall length of the gate, little way of the component of a gate electrode is good [ even if the first gate electrode connects continuously 2 or more sets of combination inserted into the second gate electrode, the same effectiveness is acquired, but ]. Therefore, the 3 above-mentioned layer structure which sandwiched the first gate electrode with the second two gate electrode is the most desirable from detailed-izing of a component. Moreover, the request of becoming the symmetry to exchange of a source drain field also fulfills these 3 layer structures.

[0059] In addition, unlike description of JP,60-43863,A, in the description about this invention, the conductivity type of a source drain field is called the first conductivity type. It is because the first conductivity type and a source drain field may be unable to be defined for the substrate with which, as for a conductivity type not necessarily contrary to a source drain field, the conductivity type of a channel formation field may not become in a SOI transistor etc., and this makes a channel formation field like JP,60-43863,A as the second conductivity type. In addition, since the conductivity type (channel type) of a field effect transistor is surely in agreement with the conductivity type of a source drain field, the conductivity type explained to be the first conductivity type in explanation of this invention is in agreement with the channel type of a transistor.

[0060] Next, the example of structure to which the part was changed in the structure

shown in drawing 1 is explained.

[0061] If a source drain field does not arrive at the bottom of the boundary section of the second gate electrode for a start, the part may also enter the bottom of the second gate electrode ( drawing 3 ). Since this makes the electric field by the second gate electrode interfere and sets up a threshold electrical potential difference for a start, it is because a part of second gate electrode [ at least ] should just be on a channel formation field.

[0062] Moreover, the thickness of gate dielectric film may be thinner than the lower part of the first gate electrode in the lower part of the second gate electrode ( drawing 4 ). If the oxide film under the second gate electrode is made thin, since termination of the electric field from a source drain field will be carried out with a gate electrode, it becomes advantageous to control of a short channel effect. This structure is effective to control [ for the first gate oxide to set up a threshold more highly since a threshold becomes low so that it is thick, and ] a short channel effect on the other hand.

[0063] In the manufacture approach shown in below-mentioned drawing 10 - drawing 18 , this structure is formed [ when an oxide film is exaggeratedly etched after etching of the first gate electrode, or ], when the oxide film of a center section is thickened by oxidation etc. in the manufacture approach shown in below-mentioned drawing 19 - drawing 26 after forming the second gate electrode, and an oxide film is again deposited by CVD etc.

[0064] Moreover, the thickness of gate dielectric film may be thicker than the lower part of the first gate electrode conversely in the lower part of the second gate electrode ( drawing 5 ). If the insulator layer under the second gate electrode is thickened, the second gate electrode and the electric field between source drain fields will become weak. However, the effectiveness that the second gate electrode carries out termination of the electric field from a source drain field in this case becomes weak. Therefore, the need of controlling a short channel effect when gate length is comparatively long (for example, 0.25 micrometers) is low, instead this structure becomes effective to control the electric field between a source drain field and the gate from the need of controlling leakage current etc. (for example, component used for dynamic memory). In the manufacture approach of below-mentioned drawing 10 - Fig. 1818 , this structure is formed, when oxidation for the second time is performed after etching of the first gate electrode, or when the oxide film of a center section is thin-film-ized by etching etc. in the manufacture approach of below-mentioned drawing 19 - drawing 26 after forming the second gate electrode.

[0065] the second gate electrode length (horizontal direction of the cross section of

drawing 6) -- the first gate electrode length -- being the same (drawing 6) -- moreover, it may be thinner than the first gate electrode (drawing 7). Moreover, a part may be the LDD field 21 where high impurity concentration is lower than a source drain field in the first conductivity type among source drain fields (drawing 8). Moreover, a part may be the extension field 22 (drawing 9) high [ to the same extent as a source drain field ] and formed with the first conductivity type, more shallowly than other parts of a source drain field among source drain fields. However, also in which case, in this invention, a part of second gate electrode [ at least ] must be located in the upper part of the channel formation field which is neither a LDD field nor an extension field, and the first gate electrode length  $T_m$  must be set as the range (40nm or less) in which the electric field from the second gate electrode interfere notably for a start.

[0066] Next, the concrete dimension of a transistor configuration is shown as an example of an operation gestalt.

[0067] Drawing 1 is the sectional view of the field effect transistor by this invention. In the SOI substrate with which the semi-conductor layer 3 (SOI layer) which consists of SiO<sub>2</sub> with a thickness of 400nm, and which embeds and consists of single crystal silicon with a thickness of 10nm through an oxide film 2 is formed on the support substrate 1 which consists of a silicon wafer The first gate electrode 7 which consists of TiN with a width of face [ of 20nm ] (horizontal direction in the cross section of drawing 1) and a thickness (the height direction) of 100nm is formed through the gate dielectric film 4 which consists of thermal oxidation film with a thickness of 3nm on a semi-conductor layer. On gate dielectric film 4, the side face of the gate electrode 7 is touched and the second gate electrode 8 with a width of face (horizontal direction in the cross section of drawing 1) of 50nm is formed at the both sides of the first gate electrode 7. The source drain field 6 of n<sup>+</sup> mold with which Lynn was introduced into high concentration (for example, 10<sup>19</sup>cm<sup>-3</sup>) is formed in the semi-conductor layer 3 of the both sides of the second gate electrode. For a start, the field inserted into the lower part of the second gate electrode and the source drain field 6 accomplishes the channel formation field 9 in which the channel by the electron is formed.

[0068] Here, the range of the thickness of the semi-conductor layer 3 is usually 5 to 100nm. It is referred to as 5nm or more for controlling the effect of a quantum-mechanical size effect (fluctuation of subband level), and may be 100nm or less because it is easy to form a perfect depletion-ized mold component with a sufficient component property. The depressor effect of a short channel effect is searched for more strongly, and when the effect of a quantum-mechanical size effect may come out, you may make it thinner than this. Moreover, when not forming a perfect depletion-ized

mold component in the case where gate length is long (for example, 1 microns or more), and a short channel effect is hard to be generated, and LSI, in the high proof pressure MOS etc., it is good also considering the thickness of a semi-conductor layer as 100nm or more (when using a partial depletion-ized mold component). Arsenic is sufficient as the impurity introduced into a source drain field. Moreover, the source drain field may have the structure of the EREBE Ted mold which projects above a channel formation field front face. Moreover, a semi-conductor layer may be a polycrystal semi-conductor. In this case, although reduction of the current by the increment in the leakage current and grain boundary dispersion etc. occurs compared with the case where it is a single crystal layer, it has the advantage [ say / that a substrate can be manufactured easily ].

[0069] When the thickness of the embedding oxide film 2 acquires the effectiveness of this invention, there is especially no limit. Usually, in the SOI substrate produced by the lamination technique, although an embedding oxide film is 80nm to about 400nm in the SOI substrate produced by about 2 microns and the SIMOX technique from 1 micron, when thick [ than these and ], this invention can be applied. Moreover, it is applicable also to the structure which replaces with an embedding oxide film, has thick insulating substrates, such as sapphire, and does not have the support substrate 1.

[0070] The thickness of gate dielectric film is usually 2nm to about 20nm. If thinner than this, although the leakage current from a gate electrode occurs, when there may be much application top leakage current of a component, an insulator layer thinner than this may be used according to tunnel current. Moreover, although referred to as 20nm or less for acquiring the drain current generally demanded as a component for LSI, in a high proof-pressure component etc., when the electric-field relaxation in gate oxide is more important than a drain current, it may be thicker than this, gate dielectric film may be SiO<sub>2</sub>, or you may be the other insulator 4, for example, Si<sub>3</sub>N<sub>4</sub>, and Ta<sub>2</sub>O<sub>5</sub> grade. Moreover, the laminating of two or more ingredients may be carried out.

[0071] Let the overall length (the horizontal die length of the sum total of the first gate electrode and the second two gate electrode, and the drawing 1 cross section) of a gate electrode be the range of about 0.6 microns from 30nm. Although it is the dimension usually used when the transistor for LSI is assumed, and the dimension said to be used in the future, as for this, the high proof pressure MOS etc. may be larger than this, when applying to other applications.

[0072] Moreover, in an n channel transistor, the first gate electrode may be metallic compounds, such as metals, such as p+ polish recon, and Mo, W, Ta, metal silicide, and TiN, etc. Moreover, when the first gate electrode is p+ polish recon, the second gate

electrode may be metals, such as Mo, W, and Ta, metal silicide, etc. In these ingredients, the work function of p+ polish recon is the largest, degrees are metal silicide, such as Mo, W, Ta, or tungsten silicide, and TiN, and the work function of n+ polish recon is the smallest. What is necessary is to just be set up also including these ingredients or ingredients other than these, so that the work function of the second gate electrode may become smaller than the first gate electrode. In addition, when setting a threshold as less than [ 0.5V ], it is suitable in order to obtain the threshold electrical potential difference which needs the combination which makes the first gate electrode a metal or metal silicide, and makes the second gate electrode n+ polish recon. When a p channel transistor forms, a source drain field is used as p+ mold which introduced boron, and it is set up so that the work function of the second gate electrode may become larger than the first gate electrode. For example, TiN and the second gate electrode are formed for the first gate electrode by p+ polish recon.

[0073] In addition, when not performing channel doping, in order for a threshold electrical potential difference to have a forward value in an n channel transistor, the ingredient of the first gate electrode must have a work function larger than a source drain field. In order for a threshold electrical potential difference to have a negative value in a p channel transistor, the ingredient of the first gate electrode must have a work function smaller than a source drain field.

[0074] The case where a source drain field enters into drawing 3 over width of face of 10nm in the structure of drawing 1 at the lower part of the second gate electrode is shown. If a part of second gate electrode is built on the channel formation field, as stated previously, even if the part is on a source drain field like drawing 3 , the effectiveness of this invention will not be replaced.

[0075] With the structure of drawing 4 , thickness of gate dielectric film is set to 3nm under 5nm and the second gate electrode under the first gate electrode. With the structure of drawing 5 , thickness of gate dielectric film is set to 5nm under 3nm and the second gate electrode under the first gate electrode.

[0076] In the structure of drawing 1 , the case (for example, width of face of 20nm) where the width of face of the second gate electrode is the same as the first gate electrode is shown in drawing 6 . Moreover, in the structure of drawing 1 , the case where the width of face of the second gate electrode is smaller than the first gate electrode is shown in drawing 7 . For example, width of face of 20nm and the second gate electrode is set to 15nm for the width of face of the first gate electrode.

[0077] Next, the manufacture approach is explained with reference to drawing 10 - drawing 12 .



[0078] As shown in drawing 10 , in the SOI substrate with which the semi-conductor layer 33 (SOI layer) which consists of SiO<sub>2</sub> with a thickness of 400nm, and which embeds and consists of single crystal silicon with a thickness of 12nm through an oxide film 32 is formed on a silicon substrate 31, the front face of the semi-conductor layer 33 is oxidized thermally, and the gate dielectric film 34 which consists of SiO<sub>2</sub> with a thickness of 3nm is formed. Then, the TiN film with a thickness of 100nm is deposited on the whole surface by the CVD method or the sputter, and patterning of the photoresist 36 is carried out to width of face of 30nm in the upper part. What is necessary is just to use for exposure of a resist the ingredient which has the annular molecular structures, such as carixarene and chloromethylation carixarene, as a resist using the direct writing technique (for it to indicate to EB straight-writing, for example, a Nikkei micro device, the November, 1997 issue, and 141-144 pages) by the electron beam, in order to obtain the detailed pattern of 30nm here. The first gate electrode 35 with 50nm [ in thickness ] and a width of face of 30nm which carries out patterning of the photoresist 36 by RIE (reactive ion etching), and becomes a mask from TiN about the TiN film is formed, and the structure of drawing 10 is acquired.

[0079] Since the level difference of the isolation section (LOCOS) is small in a silicon-on-insulator desubstrate, in case patterning of the TiN is carried out, it is hard to produce the etching remainder of TiN in the level difference section of an isolation edge. Therefore, over etching aiming at preventing the etching remainder can be lessened. Although over etching gives a damage to gate oxide in the field of the both sides of the first gate electrode, since over etching can be controlled, the damage to gate oxide can be controlled. When forming a component on a bulk substrate, the problem of over etching can be similarly solved by using isolation with few level differences, such as trench separation.

[0080] Next, as shown in drawing 11 , n<sup>+</sup> polish recon 37 (doped polysilicon) with a thickness of 50nm is deposited on the whole surface by CVD. Next, the second gate electrode which carries out etchback of the n<sup>+</sup> polish recon over 50nm in thickness, and becomes the side face of the first gate electrode 35 from n<sup>+</sup> polish recon 37 with a width of face of 50nm by the anisotropic etching by RIE is formed. Then, for a start, high-concentration Lynn is introduced into the semi-conductor layer 33 for the second gate electrode at a mask, and the source drain field 38 of n<sup>+</sup> mold is formed in the outside of the second gate electrode ( drawing 12 ). The lower part of a gate electrode serves as the channel formation field 39. Formation of a source drain field uses the ion implantation of for example, low acceleration voltage. By [ a certain ] being, removing [ RIE ] the gate dielectric film of the field of the outside of a gate electrode and

depositing phosphorus glass (PSG) on the whole surface on a mask continuously in the second gate electrode for a start, and performing heat treatment for 10 seconds at 850 degrees C, the semi-conductor layer 33 is made to diffuse Lynn from PSG, and a source drain field is formed. Moreover, you may control that diffusion of Lynn invades into the lower part of the second gate electrode by preparing the side attachment wall of an oxide film in the outside of the second gate electrode before PSG deposition. The second gate electrode deposits the polish recon (contest non dope polysilicon) which does not contain an impurity at first, diffuses Lynn from PSG in formation and coincidence of a source drain field, and this may be made to become n+ mold.

[0081] Moreover, gate oxide is beforehand set up more thickly with 5nm, over etching is performed in RIE for the first gate electrode formation, and by shaving off a little oxide film of the both sides of the first gate electrode, in the first gate electrode, if short-time oxide-film etching is performed on a mask, as shown in drawing 4, the structure where gate dielectric film becomes thin in the second gate electrode lower part will be acquired.

[0082] in addition, the oxide film at the time of over etching in here -- shaving off -- when the selectivity of TiN to an oxide film is low, it is remarkable in a RIE process. Moreover, after the first gate electrode processing, if a short time is oxidized thermally, oxide-film thickness will become large and a configuration like drawing 5 R> 5 will be acquired on the outside of the first gate electrode.

[0083] The semi-conductor layer and embedding oxide film on an insulator may be transposed to the usual bulk substrate to various kinds of second structures of the first operation gestalt of the operation gestalt above. The example is shown in the sectional view of drawing 2.

[0084] The first gate electrode 7 which consists boron of TiN with a width of face [ of 20nm ] (horizontal direction in the cross section of drawing 2 ) and a thickness (the height direction) of 100nm on the included  $5 \times 10^{17} \text{cm}^{-3}$  p-silicon substrate 10 through the gate dielectric film 4 which consists of thermal oxidation film with a thickness of 3nm is formed. On gate dielectric film 4, the side face of the gate electrode 7 is touched and the second gate electrode 8 with a width of face (horizontal direction in the drawing 2 cross section) of 50nm is formed at the both sides of the first gate electrode 7. On the silicon substrate of the both sides of the second gate electrode, the source drain field 6 of n+ mold with a depth of 0.15 microns with which arsenic was introduced into high concentration (for example,  $10^{19} \text{cm}^{-3}$ ) is formed. For a start, the field inserted into the lower part of the second gate electrode and the source drain field 6 accomplishes the channel formation field 9 in which the channel by the electron is

formed.

[0085] The structure of drawing 2 is replaced with the structure (SOI structure) of having a semi-conductor layer on an insulator, and a source drain field is established in a semi-conductor substrate front face using the usual semi-conductor substrate 10. In this case, since only the amount which is required for control of a punch-through is sufficient as an impurity, the amount of doping can be controlled and the second technical problem can be mitigated for a start. For example, although a threshold will become high too much like the conventional example of drawing 35 if it is going to control a threshold by the work function of the gate when the impurity for controlling a punch-through is introduced, in this invention, it can use that the obstruction organization potency force by the first gate electrode can weaken, and can prevent a threshold becoming high too much, and the optimal threshold can be obtained.

[0086] The third operation gestalt is explained with reference to the third operation gestalt drawing 13. In the aforementioned production process, after formation of the second gate electrode, an oxide film with a thickness of 20nm is deposited on the side face with a CVD method, etchback of this is carried out, and the oxide film side attachment wall 40 is formed. The gate dielectric film located outside an oxide-film side attachment wall at the time of etchback is removed by coincidence. Next, the epitaxial layer 41 which consists of n+ mold silicon on the semi-conductor layer 33 of the outside of the oxide-film side attachment wall 40 is grown up into 30nm in thickness by the selection epitaxial method. An epitaxial layer 41 can be used as n+ mold by making gas including Lynn mix at the time of epitaxial growth. Although the polycrystal layer 42 of n+ mold grows up to be also the upper part of n+ polish recon layer 37 at this time, this does not affect a component property. Then, the source drain field 33 is formed by making the semi-conductor layer 33 diffuse Lynn from an epitaxial layer by short-time heat treatment (it is 10 seconds at 850 degrees C).

[0087] With reference to the fourth operation gestalt drawing 14 - drawing 18, the configuration and the manufacture approach of a gestalt of other operations are explained. In the SOI substrate with which the semi-conductor layer 33 (SOI layer) which consists of SiO<sub>2</sub> with a thickness of 400nm, and which embeds and consists of single crystal silicon with a thickness of 10nm through an oxide film 32 is formed on a silicon substrate 31 SiO<sub>2</sub> film with a thickness of 100nm is deposited on the whole surface with a CVD method, and as width of face of 120nm is processed and this is indicated to be the lithography by EB exposure to drawing 14 R> 4 by etching by RIE etc., the dummy oxide film 51 is formed.

[0088] Next, with selection epitaxial growth, as shown in drawing 1414, the epitaxial

layer 41 with a thickness of 50nm it is thin from n+ mold single crystal silicon which included high-concentration Lynn in the both sides of the dummy oxide film 51 is formed.

[0089] Next, HF (fluoric acid) removes a dummy oxide film. Then, an oxide film with a thickness of 30nm is deposited on the whole surface by CVD, and by carrying out etchback of this by RIE, as shown in drawing 15, the side-attachment-wall oxide film 52 is formed in the side face of an epitaxial layer 41. A short time is heat-treated (it is 10 seconds at 850 degrees C), Lynn in an epitaxial layer 41 is diffused in the semi-conductor layer 33, and the source drain field 38 of n+ mold is formed ( drawing 15 ).

[0090] Next, the front face of the semi-conductor layer 33 is oxidized thermally, and the gate dielectric film 34 which consists of SiO<sub>2</sub> with a thickness of 3nm is formed. Then, n+ polish recon (doped polysilicon) layer 53 with a thickness of 50nm is deposited on the whole surface by the CVD method or the spatter ( drawing 16 ).

[0091] Next, etchback of the n+ polish recon layer 53 is carried out by RIE, and the second gate electrode which becomes only the side face of the side-attachment-wall oxide film 52 from remnants and n+ polish recon layer 53 about this as shown in drawing 17 is formed. Next, W layer 54 [ with a thickness of 70nm ] is deposited by CVD or the spatter ( drawing 17 ).

[0092] If a resist 55 is moreover used for electron beam exposure etc., width of face of 120nm is processed and W layers are processed into a mask for this by RIE etc., W layers of the field inserted into the second gate electrode (n+ polish recon 53) will become the first gate electrode 54 ( drawing 18 ). Here, after formation of the configuration shown in drawing 16, if the oxide film of an outcrop is shaved off by over etching or an oxide film is lightly etched by RIE etc. after carrying out etchback of the n+ polish recon layer 53, the configuration where the gate oxide under the first gate electrode as shown in drawing 5 is thinner than the gate oxide under the second gate electrode will be acquired.

[0093] With reference to the fifth operation gestalt drawing 19 - drawing 24, the gestalt and its manufacture approach of other operations are explained.

[0094] In the SOI substrate with which the semi-conductor layer 33 (SOI layer) which consists of SiO<sub>2</sub> with a thickness of 400nm, and which embeds and consists of single crystal silicon with a thickness of 10nm through an oxide film 32 is formed on a silicon substrate 31 The pad oxide film 60 with a thickness of 20nm is formed in the front face by thermal oxidation. Then, Si<sub>3</sub>N<sub>4</sub> film with a thickness of 100nm is deposited on the whole surface with a CVD method, this is processed into width of face of 120nm by

etching by the lithography by EB exposure, and RIE etc., and the dummy nitride 61 is formed. Next, high-concentration Lynn is introduced into the semi-conductor layer of the both sides of the dummy nitride 61, the source drain field 38 is formed, and the whole is covered with the CVD oxide film 62 with a thickness of 120nm ( drawing 19 ). Epitaxial growth may be used like the operation gestalt which may form a source drain field using an ion implantation, plasma doping, the diffusion from PSG, etc., and is shown in drawing 14 and drawing 15 here.

[0095] Then, as shown in drawing 20 , opening 70 is formed in the CVD oxide film 62 by the photolithography and RIE, and the upper part of the dummy nitride 61 is exposed to it. At this time, opening 70 is made larger than a dummy nitride so that a CVD oxide film may not remain in the upper part of a dummy nitride. For example, every large 0.2 micrometers are taken on both sides. At this time, by exposing a dummy nitride by RIE, there is nothing and the upper part of the dummy nitride 61 may be exposed by shaving off the projection by the CVD oxide film of the nitride upper part by CMP (chemical mechano polish: chemical machinery-polish) ( drawing 21 ). By CMP, by the approach of exposing the nitride upper part, the need of performing lithography for forming opening 70 is lost, and a process can be shortened. Moreover, there is the advantage in which the configuration formed becomes flat. At the process at which a dummy nitride is exposed by lithography and RIE on the other hand, there is the advantage in which it can manufacture with existing equipment, without newly introducing CMP equipment.

[0096] Then, the wet etching by the heat phosphoric acid removes the dummy nitride 61. And rare fluoric acid removes the pad oxide film 60. At this time, a part of front face of the CVD oxide film 62 is also etched. Then, the oxide film side attachment wall 40 is formed by depositing an oxide film with a thickness of 20nm and carrying out etchback of this by CVD, ( drawing 22 ). The oxide film side attachment wall 40 is for preparing the shape of surface type of the side-attachment-wall section of CVD oxide film opening formed of etching of a nitride 61 and the pad oxide film 60, and may be omitted.

[0097] Then, 45nm of n+ doped polysilicons is deposited on the whole, etchback of this is carried out by RIE, and n+ polish recon layer 53 is formed in the side face (or side face of the oxide-film side attachment wall 40) of the CVD oxide film 62 ( drawing 23 R> 3). Here, it may replace with n+ polish recon and n+ mold doped amorphous silicon may be used.

[0098] Then, W layers of metals, such as 54 or TiN, and metallic compounds are deposited on the whole surface, this is processed by the photolithography and RIE, and a gate electrode is formed as shown in drawing 24 . Here, as for W layers of the first

gate electrodes and n+ polish recons 53, 54 serves as the second gate electrode. Moreover, processing of the first gate electrode performs etchback by CMP not using a photolithography and RIE, and is good as a configuration to which the front face of the upper limit of the first gate electrode and the insulator layer of the CVD oxide film 62 grade embedding the first gate electrode becomes flat as well as drawing 26 mentioned later. The advantage/demerit of using CMP are the same as the above-mentioned.

[0099] In addition, each manufacture approach given in each operation gestalt of 3, 4, and 5 is applicable to manufacture of the component which consists of the various structures of the second operation gestalt, a dimension, and an ingredient for a start. Moreover, some processes which constitute each manufacture approach may be chosen, and you may use for manufacture of the various structures of the second operation gestalt for a start. Moreover, the structure where the ingredient which forms the first gate electrode of a publication in the fourth and fifth operation gestalt is extended on the second gate electrode may be applied to the component which consists of the various structures of the second operation gestalt, a dimension, and an ingredient for a start.

[0100] In addition, after embedding a gate electrode material all over the process at which a dummy pattern is exposed by removing the insulator layer of the upper part of a dummy pattern by CMP among the above-mentioned manufacture approaches, and the opening of opening after dummy pattern removal, the process which carries out flattening of this by CMP may be used for manufacture of the transistor by which a gate electrode is constituted from a single ingredient ( drawing 46 , drawing 47 ).

[0101] Moreover, at least, opening prepared in the insulator layer on a dummy pattern should just be formed so that some dummy patterns may be exposed. Removal of the dummy pattern by wet etching and the embedding of the gate electrode material by CVD etc. become possible by this, and a gate electrode can be formed. However, when forming the gate electrode with which the first gate electrode and the second gate electrode were put together, it is desirable that opening is prepared in the upper part of the location which is going to form the first gate electrode at least from the need of forming the side attachment wall used as the second gate electrode with anisotropy etchback. As for opening prepared in the insulator layer on a dummy pattern, it is desirable more preferably to prepare so that the whole upper part of a dummy pattern may be exposed. A conductive ingredient can be embedded more at homogeneity at opening circles by exposing the whole upper part of a dummy pattern, although there is a possibility that the upper part of opening may be closed by the conductive ingredient before rather than a conductive ingredient is embedded by homogeneity at opening

circles, when embedding a conductive ingredient by CVD etc., if opening prepared in the insulator layer on a dummy pattern is too narrower than a dummy pattern. As for the process which prepares opening, it is desirable in that case to carry out by CMP. The process which prepares opening by CMP has the advantage in which it is easy to expose the whole upper part of a dummy pattern. Moreover, opening prepared in the insulator layer on a dummy pattern may be larger than a dummy pattern. The width of face of the upper part of the gate electrode formed becomes large by this, and it is the cross section (refer to the drawing 2424 .) of a gate electrode. Since the cross section in the cross section of drawing 24 becomes large, it contributes to reduction of parasitism resistance.

[0102] In the above-mentioned manufacture approach, if CMP is used, in case it will remove the insulator layer of the dummy pattern upper part and a dummy pattern will be exposed, while not performing a photolithography process, simplifying a process and mitigating the burden in a process, the defects by location gap of the pattern accompanying a photolithography are reducible. Moreover, a flat configuration is acquired as stated above. Moreover, after embedding a conductive ingredient all over the opening of opening, a conductive ingredient is processed by CMP, and flat structure will be acquired if the process which obtains a gate electrode is used.

[0103] Moreover, since a source drain field is [ a dummy pattern ] processible into a mask by using a dummy pattern, a gate electrode is not influenced of heat treatment for forming a source drain field.

[0104] The advantage of these manufacture approaches is the same also to manufacture of transistors other than these also to manufacture of the transistor stated to the first and second operation gestalten.

[0105] Moreover, the manufacture approach using the dummy pattern in this invention has the first and second gate electrodes, may have the different purpose from the structure of drawing 1  $R > 1$ , and may apply it to a different dimension and transistors (for example, structure of drawing 36 etc.) with the configuration of a work function. The advantage of these manufacture approaches is that formation of a pattern is easy in the first place. Generally the gate electrode is so easy to process it that it is large. However, it is forced to form the first gate electrode previously and to form the first gate electrode in a dimension smaller than gate length (overall length which set the first and second gate electrodes) with lithography at the process which prepares the second gate electrode in the side attachment wall. However, since the manufacture approach of this invention should just form a dummy pattern equal to the overall length of the gate with lithography, the burden of a lithography process is mitigated. It

is reduction of the effect of heat in the second. Since the first and second gate electrodes are formed for a dummy pattern after forming a source drain field in a mask, migration of the ion between a chemical reaction or an interface does not break out by the first and second interfaces of a gate electrode by heat treatment at the time of forming a source drain field.

[0106] In the sixth operation gestalt this invention, you may also insert a thin oxide film (or other insulator layers, such as a nitride) between the first gate electrode and the second gate electrode in the various structures of each above operation gestalt (for example, drawing 26 , drawing 27 , drawing 28 ). Moreover, in each above-mentioned manufacture approach, the process which puts a thin oxide film (or other insulator layers, such as a nitride) between the first gate electrode and the second gate electrode may be added. This is explained.

[0107] If the thin oxide film 63 between the first gate electrode and the second gate electrode is too thick, since a channel will become is hard to be formed in that lower part, the thinner one of this thickness is good. Although there was no effect on a current when the thickness from simulation was 1nm or less, and there was degradation of a current when it was 10nm or less, it was confirmed that the effect is slight.

[0108] By forming the thin oxide film 63, diffusion of the first gate electrode and a second gate inter-electrode impurity and a chemical reaction (for example, the polish recon of the metal of the first gate electrode and the second gate electrode should react, and silicide-ize) can be controlled. Since the first gate electrode and second gate inter-electrode impurity diffusion can be reduced, the semi-conductor with which conductivity types differ as second gate electrode can also be used for the first gate electrode for a start, such as using n+ polish recon at p+ polish recon and the second gate electrode.

[0109] The manufacture approach of a configuration of having this thin oxide film is described. After forming the configuration of drawing 23 , as 2nm oxidizes and the front face of n+ polish recon 53 is shown in drawing 25 , the thin oxide film 63 is formed. At this time, gate oxide 4 also becomes thick in a center section. Then, W is embedded, flattening is carried out by CMP, and the configuration of drawing 26 is acquired. At this time, RIE removes the thin oxide film 63 of the n+ polish recon 53 upper part after thermal oxidation. At this time, the thickness of the center section of gate oxide also becomes thin again. Or little W is once embedded between n+ polish recons 53 by CVD and RIE, and after protecting gate oxide 4, RIE and wet etching may remove the thin oxide film 63 of the n+ polish recon 53 upper part. Here, n+ polish recon 53 serves as



the second gate electrode, and W54 serves as the first gate electrode.

[0110] Moreover, the structure which inserted the thin oxide film 63 in drawing 27 and drawing 28 among these as first gate electrode in the process of drawing 10 - drawing 13 R> 3, using n+ polish recon as p+ polish recon and second gate electrode is shown. Here, after patterning, in the front face, the thin oxide film 63 oxidizes (for example, 1nm), and p+ polish recon 64 is formed. This oxidation may be performed using heating and you may be because it is exposed to the environment which only contains the inside of air, or oxygen.

[0111] In drawing 28, the thin oxide film 63 on p+ POSHISHI recon 64 is removed by coincidence in the etchback process for forming the oxide film side attachment wall 65.

[0112] Moreover, the example of structure which forms a conductor in the upper part of the structure shown in drawing 28 further is shown in drawing 29. In order to take the flow of the first gate electrode and the second gate electrode, these upper parts were made to carry out selective growth of the 20nm tungsten layer 66 in thickness in drawing 29. Since it grows up to be also a longitudinal direction, a tungsten layer is the upper part of the thin oxide film 63, and the tungsten on the first gate electrode and the second gate electrode grows, respectively, connects it, and it can take a mutual flow. The same effectiveness deposits metals, such as W, according to un-choosing conditions, silicide-izes this, and is acquired also according to the usual silicide process that an aqua regia etc. removes a surplus metal. This is because the silicide on the first gate electrode and the second gate electrode grows, respectively and connects.

[0113] When inserting an insulating layer between the first gate electrode and the second gate electrode, by the manufacture approach of having the process shown in drawing 10 - drawing 18 By the manufacture approach of having the process which shows the gate oxide equivalent to the location of the second gate electrode lower part to drawing 19 - drawing 26 Once removing the gate oxide equivalent to the location of the lower part of the first gate electrode, respectively, it may be reformed in the insulator layer and coincidence which are inserted between the first gate electrode and the second gate electrode once again. For example, by the manufacture approach of having the process shown in drawing 19 - drawing 26, the gate oxide which removes once the gate oxide of the field where the second gate electrode does not exist by etching of RIE etc. in case the configuration shown in drawing 23 is formed, and will be continuously located under the first gate electrode is formed in formation and coincidence of the thin oxide film 63. In this case, thickness of a thin oxide film is set to about 3nm. Moreover, thermal oxidation may be used for the process which forms a

thin oxide film 63 and gate dielectric film in coincidence, and a CVD method may be used. Moreover, the insulator layer reformed here may be the different quality of the material in the gate dielectric film 4 formed at the beginning ( drawing 30 ). For example, you may be Si<sub>3</sub>N<sub>4</sub> and Ta<sub>2</sub>O<sub>5</sub> grade. In this case, it will replace with the thin oxide film 63, and these thin insulator layers will be used for first and second isolation of a gate electrode.

[0114] In case the insulator layer inserted between the first and the second gate is formed once removing some gate dielectric film described here, the example which applied the manufacture approach of forming some gate dielectric film in coincidence again to the structure of drawing 27 is shown in drawing 3030 . This by carrying out patterning of the p+ polish recon 64 which deposited by thermal oxidation after forming gate dielectric film 4, and was deposited by CVD on the semi-conductor layer 33 It considers as the first gate electrode, and after formation, the gate dielectric film which remained on the field where the first gate electrode 64 does not exist by RIE is removed, and, simultaneously with formation of the first gate electrode 64, it continues. By CVD By depositing 7nm of Si<sub>3</sub>N<sub>4</sub> film 71, depositing n+ polish recon 53 by CVD continuously, and carrying out etchback of the Si<sub>3</sub>N<sub>4</sub> film to n+ polish recon The second gate electrode 53 is formed and the tungsten layer 66 is formed in the upper part (a tungsten layer may be prepared also on a source drain field.). It may replace with Si<sub>3</sub>N<sub>4</sub> film and other insulator layers of SiO<sub>2</sub> grade may be used again.

[0115] In addition, although the thin insulator layer inserted between the first gate electrode 64 and the second gate electrode 53 and the gate dielectric film under the second gate electrode are formed in one with the structure shown in drawing 30 On the other hand, if an insulator layer is deposited on both the front face of the semi-conductor layer 33, and the side face of the second gate electrode after forming the structure of drawing 23 , and removing the gate dielectric film of a center section The structure where the thin insulator layer inserted between the first gate electrode 64 and the second gate electrode 53 and the gate dielectric film under the first gate electrode are formed in one is acquired.

[0116] In addition, the structure of preparing conductors, such as the tungsten layer 66 as shown in drawing 29 and drawing 30 or the other metal, silicide, and a semi-conductor, on the first and second both sides of a gate electrode, and the process to establish may be applied to the component which has the said first [ which does not have the thin insulator layer 63 ], and second various structures of an operation gestalt, and a dimension. This brings about the effectiveness of reducing parasitism resistance of a gate electrode. <BR> [0117] The configuration of the operation gestalt which

changed the structure of the semi-conductor layer lower part to the seventh operation gestalt last is explained.

[0118] As the example, as shown in drawing 31 , it has the component structure shown in drawing 1 , and the structure where the SOI layer 3 has the same gate electrode up and down is mentioned. In this case, the effectiveness that a short channel effect can be controlled more strongly is added. This structure can be formed by applying the double-gate SOIMOSFET production process which used lamination. What is necessary is to deposit an oxide film 2, to embed in the upper part, for a support substrate to be made to adhere to the upper part according to a lamination process continuously, to reverse a wafer, to embed with the original support substrate, once forming the gate electrode of one side, as shown in drawing 1 , to remove an oxide film, to expose the SOI layer 3, and just to form the same gate electrode as drawing 1 in the upper part anew. What is necessary is just to perform alignment of a upside gate electrode to a component field (field layer) and the lower gate. Other examples which have the component structure shown in drawing 1 are the configurations that the lower part of a SOI layer was formed in the ingredient layer 81 with a dielectric constant lower than SiO<sub>2</sub>, as shown in drawing 32 . For example, you may be porosity SiO<sub>2</sub> and the organic film. Moreover, as shown in drawing 33 , the lower part of a SOI layer is a cavity 82, and a SOI layer may be supported by the insulator 83 (for example, side attachment wall of SiO<sub>2</sub> [ 2 ] or Si<sub>3</sub>N<sub>4</sub>). In this case, since the electric field which embed from a source drain field and result in a channel through an oxide film are eased, a short channel effect can be controlled more strongly. The structure shown in drawing 33 establishes the side attachment wall 83 of Si<sub>3</sub>N<sub>4</sub> with the etchback by CVD and RIE after forming the structure shown in drawing 1 R> 1, prepares opening by the photolithography in some Si<sub>3</sub>N<sub>4</sub> side attachment walls, and if it etches SiO<sub>2</sub> by fluoric acid etc. and it is removed from opening, it can form it.

[0119] Even if it applies the seventh operation gestalt to the structure of each sixth operation gestalt, or the various structures which are acquired combining these from the first, the same effectiveness as the case where it applies to the structure of drawing 1 is acquired.

[0120] In the seventh operation gestalt, the following dimensions; an ingredient, conditions, etc. may be used from the first.

[0121] What is necessary is just to make all polarities into reverse in a p channel transistor in the above explanation, although the n channel transistor was mainly stated to the example. For example, a source drain field is used as p mold which introduced boron, and, as for the second gate electrode, the first gate electrode should

just form TiN, W, etc. by p+ polish recon. The work function of the second gate electrode should be just larger than the work function of the first gate electrode. It is the same as that of the case of an n channel transistor to set the first gate electrode length to 40nm or less.

[0122] In addition, in this invention, the impurity introduced into a source drain field should just use the acceptor of boron or others in Lynn, an arsenic or other donors, and a p channel transistor not in the limitation described above but in an n channel transistor. Generally  $5 \times 10^{18} \text{cm}^{-3}$  to  $2 \times 10^{21} \text{cm}^{-3}$  and a type target have the concentration of these impurities introduced into a source drain field in the range of  $1 \times 10^{19} \text{cm}^{-3}$  to  $2 \times 10^{20} \text{cm}^{-3}$ , and it should just be set up so that the reduction in resistance of a source drain field and crystalline reservation can be realized.

[0123] moreover -- although it is most desirable not to introduce an impurity into a channel field from a viewpoint of solving the second technical problem for a start, -- punch-through control of the transistor on a bulk substrate -- or a small amount of impurity may be introduced for the purpose of control of back channel formation of a SOI transistor. In an n channel transistor, the donor of Lynn, an arsenic, or others should just be used for the impurity introduced into a channel field in boron or other acceptors, and a p channel transistor. The range of the concentration of these impurities is  $2 \times 10^{17} \text{cm}^{-3}$  to  $2 \times 10^{18} \text{cm}^{-3}$  typically. Since it is not necessary to introduce a lot of impurities in order to set up a threshold in the transistor of this invention compared with the usual structure (structure using p+ polish recon as a gate electrode to n+ polish recon and a p channel transistor to an n channel transistor) when introducing such a small amount of impurity, there is the advantage in which high impurity concentration can be controlled.

[0124] Moreover, in an n channel transistor, little installation of the acceptor of boron or others may be conversely carried out for the donor of Lynn, an arsenic, or others in a p channel transistor at a semi-conductor layer (or semi-conductor substrate). This is a measure which is mainly needed in ingredients other than n+ polish recon to an n channel transistor when ingredients other than p+ polish recon are used for a gate electrode to a p channel transistor. Although installation of these impurities is omissible since the electric field of the first gate electrode can weaken in this invention, the amount of impurities which is needed when combining with the approach of introducing these can be reduced.

[0125] Moreover, the high impurity concentration of n+ polish recon and p+ polish recon is the same as that of the range of the concentration introduced into a source drain field. Moreover, these may be transposed to n+ amorphous silicon and p+

amorphous silicon.

[0126]

[Effect of the Invention] It becomes possible according to the component structure of this invention, not to need installation of an impurity, or to be able to control the concentration of an impurity so that clearly from the above explanation, and to set up a threshold electrical potential difference freely. Moreover, according to the component structure of this invention, a short channel effect can be controlled by the original principle.

[0127] Furthermore, according to the manufacture approach of this invention, the field effect transistor from which the above-mentioned effectiveness is acquired is producible good.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the structure of this invention.

[Drawing 2] The sectional view showing the structure of this invention.

[Drawing 3] The sectional view showing the structure of this invention.

[Drawing 4] The sectional view showing the structure of this invention.

[Drawing 5] The sectional view showing the structure of this invention.

[Drawing 6] The sectional view showing the structure of this invention.

[Drawing 7] The sectional view showing the structure of this invention.

[Drawing 8] The sectional view showing the structure of this invention.

[Drawing 9] The sectional view showing the structure of this invention.

[Drawing 10] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 11] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 12] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 13] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 14] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 15] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 16] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 17] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 18] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 19] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 20] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 21] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 22] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 23] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 24] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 25] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 26] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 27] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 28] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 29] The sectional view for explaining the structure and the manufacture approach of this invention.

[Drawing 30] The sectional view showing the structure of this invention.

[Drawing 31] The sectional view showing the structure of this invention.

[Drawing 32] The sectional view showing the structure of this invention.

[Drawing 33] The sectional view showing the structure of this invention.

[Drawing 34] The sectional view explaining a Prior art.

[Drawing 35] The sectional view explaining a Prior art.

[Drawing 36] The sectional view explaining a Prior art.

[Drawing 37] The sectional view explaining a Prior art.

[Drawing 38] Drawing showing the effectiveness of this invention.

[Drawing 39] Drawing showing the effectiveness of this invention.

[Drawing 40] Drawing showing the effectiveness of this invention.

[Drawing 41] Drawing showing the effectiveness of this invention.

[Drawing 42] The sectional view of the transistor for explaining the principle of operation of this invention.

[Drawing 43] Drawing showing the potential distribution for explaining the principle of operation of this invention.

[Drawing 44] Drawing showing the potential distribution for explaining the principle of operation of this invention.

[Drawing 45] Drawing showing the potential distribution for explaining the principle of operation of this invention.

[Drawing 46] Drawing showing the component structure produced by the manufacture approach of this invention.

[Drawing 47] Drawing showing the component structure produced by the manufacture approach of this invention.

[Description of Notations]

1 Support Substrate

2 Embedding Oxide Film

3 Semi-conductor Layer

4 Gate Dielectric Film

5 Gate Electrode

6 Source Drain Field

7 First Gate Electrode

8 N+ Polish Recon

9 Channel Formation Field

10 Silicon Substrate

21 LDD Field

22 Extension Field

31 Silicon Substrate

32 Embedding Oxide Film

33 Semi-conductor Layer

34 Gate Dielectric Film

35 First Gate Electrode

36 Resist

37 N+ Polish Recon Layer

38 Source Drain Field  
39 Channel Formation Field  
40 Oxide-Film Side Attachment Wall  
41 Epitaxial Layer  
42 Polycrystal Layer  
51 Dummy Oxide Film  
52 Side-Attachment-Wall Oxide Film  
53 N+ Polish Recon Layer  
54 First Gate Electrode  
55 Photoresist  
60 Pad Oxide Film  
61 Dummy Oxide Film  
62 CVD Oxide Film  
63 Thin Oxide Film  
64 P+ Polish Recon  
65 Oxide-Film Side Attachment Wall  
66 Tungsten Layer  
70 Opening  
71 Si<sub>3</sub>N<sub>4</sub> Film  
81 Ingredient Layer with Dielectric Constant Lower than SiO<sub>2</sub>  
82 Cavity  
83 Insulator  
101 Silicon Substrate  
102 Gate Oxide  
103 Gate Electrode  
104 Channel Formation Field  
105 Source Drain Field  
110 Embedding Oxide Film  
111 SOI Layer  
112 Insulator Layer  
113 Tantalum Gate Electrode  
115 P+ Polish Recon Gate  
116 N+ Polish Recon Gate  
117 Inversion Layer of N-Mold  
160 Support Substrate  
161 Embedding Oxide Film



**162 Source Drain Field**  
**163 Gate Dielectric Film**  
**164 First Gate Electrode**  
**165 Second Gate Electrode**  
**166 Semi-conductor Layer**  
**167 Channel Formation Field**

**Abstract:**

**PROBLEM TO BE SOLVED:** To freely set the threshold voltage  $V_{th}$  of a field-effect transistor, without doping impurities.

**SOLUTION:** A field-effect transistor has a first gate electrode 7, which is positioned at the central part of the transistor, and second gate electrodes 8, which are positioned on both sides of the electrode 7, and at least one part of each of the second gate electrodes 8 is positioned on a channel formation region. As the materials for the electrodes 7 and 8, materials having different work functions are used. A first gate electrode length is set in the range that an electric field from the electrode 7 and electric fields from the electrodes 8 cause interference with each other. The electrode length is preferably set in a length of 40 nm or shorter.

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**